

**BUNDESREPUBLIK DEUTSCHLAND**

REC'D 18 JAN 2005

WIPO PCT

**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung****Aktenzeichen:**

103 58 047.6

**Anmeldetag:**

05. Dezember 2003

**Anmelder/Inhaber:**IHP GmbH – Innovations for High Performance  
Microelectronics / Institut für innovative Mikroelektronik,  
15236 Frankfurt/DE**Bezeichnung:**

Komplementäre Bipolar-Halbleitervorrichtung

**IPC:**

H 01 L 27/082

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-  
sprünglichen Unterlagen dieser Patentanmeldung.**München, den 9. Dezember 2004  
**Deutsches Patent- und Markenamt**  
Der Präsident  
Im Auftrag

AQUK8

**München**  
Patentanwälte  
European Patent Attorneys  
Dipl.-Phys. Heinz Nöth  
Dipl.-Wirt.-Ing. Rainer Fritsche  
Lbm.-Chem. Gabriele Leißler-Gerstl  
Dipl.-Ing. Olaf Ungerer  
Patentanwalt  
Dipl.-Chem. Dr. Peter Schuler

**Alicante**  
European Trademark Attorney  
Dipl.-Ing. Jürgen Klinghardt

**Berlin**  
Patentanwälte  
European Patent Attorneys  
Dipl.-Ing. Henning Christiansen  
Dipl.-Ing. Joachim von Oppen  
Dipl.-Ing. Jutta Kaden  
Dipl.-Phys. Dr. Ludger Eckey

**Spreepalais am Dom**  
Anna-Louisa-Karsch-Strasse 2  
D-10178 Berlin  
Tel. +49-(0)30 - 8418 870  
Fax +49-(0)30 - 8418 8777  
Fax +49-(0)30 - 8418 8778  
mail@eisenfuhr.com  
http://www.eisenfuhr.com

**Bremen**  
Patentanwälte  
European Patent Attorneys  
Dipl.-Ing. Günther Eisenführ  
Dipl.-Ing. Dieter K. Speiser  
Dr.-Ing. Werner W. Rabus  
Dipl.-Ing. Jürgen Brügge  
Dipl.-Ing. Jürgen Klinghardt  
Dipl.-Ing. Klaus G. Göken  
Jochen Ehlers  
Dipl.-Ing. Mark Andres  
Dipl.-Chem. Dr. Uwe Stikkenböhme  
Dipl.-Ing. Stephan Keck  
Dipl.-Ing. Johannes M. B. Wasiljeff  
Patentanwalt  
Dipl.-biotechnol. Heiko Sendrowsk

Rechtsanwälte  
Ulrich H. Sander  
Christian Spintig  
Sabine Richter  
Harald A. Förster

**Hamburg**  
Patentanwalt  
European Patent Attorney  
Dipl.-Phys. Frank Meier

Rechtsanwälte  
Rainer Böhm  
Nicol Ehlers, LL.M.

Berlin, 5. Dezember 2003  
Unser Zeichen: IB 1258-01DE LE/jwd  
Durchwahl: 030/841 887 16

Anmelder/Inhaber: IHP GMBH  
Amtsaktenzeichen: Neuanmeldung

IHP GmbH - Innovations for High Performance Microelectronics / Institut für  
innovative Mikroelektronik  
Im Technologiepark 25, 15236 Frankfurt (Oder)

---

### Komplementäre Bipolar-Halbleitervorrichtung

---

Die Erfindung betrifft eine komplementäre Bipolar-Halbleitervorrichtung, nach-  
folgend auch CBI-Halbleitervorrichtung genannt, mit einem Substrat eines ers-  
ten Leitfähigkeitstyps und einer Anzahl darin vorgesehener aktiver Gebiete,  
die in lateraler Richtung von flachen Feldisolationsgebieten begrenzt werden,  
5 bei der in einer ersten Teilanzahl der aktiven Gebiete vertikale npn- Bipolartransistoren mit epitaxialer Basis, und in einer zweiten Teilanzahl der aktiven Gebiete vertikale pnp-Bipolartransistoren mit epitaxialer Basis angeordnet sind, wobei entweder ein Transistortyp oder beide Transistortypen in ein und demselben jeweiligen aktiven Gebiet sowohl ein Kollektorgebiet als auch ein  
10 Kollektorkontaktgebiet aufweisen. Weiterhin betrifft die Erfindung ein Verfahren zur Herstellung einer solchen komplementären Bipolar-Halbleitervorrichtung.

Die Leistungsfähigkeit von Bipolartransistoren (engl.: Bipolar Junction Transistor, BJT) auf Siliziumbasis ist im Hochgeschwindigkeitsbereich durch die Verwendung einer Hetero-Basissschicht, die mittels Epitaxie hergestellt wird, wesentlich verbessert worden. Ein weiterer Leistungsschub ist bei npn-Hetero-  
5 bipolartransistoren (HBTs) durch den zusätzlichen Einbau von Kohlenstoff in eine mit Bor dotierte Basis aus Silizium-Germanium (SiGe) ausgelöst worden.

Aus schaltungstechnischen Gründen ist es oft vorteilhaft, auf einem Chip gleichzeitig über npn- und pnp-Transistoren zu verfügen.

10 Darüber hinaus kann auch die Integration mit komplementären Metall-Oxid-Halbleiter (engl.: Complementary Metal Oxide Semiconductor, CMOS)-Transistoren zusätzliche Vorteile erbringen.

Wesentliche Merkmale eines kostengünstig herstellbaren Hochgeschwindigkeits-Bipolartransistors mit epitaxialer Basis sind in der WO 03/046948 A2 vorgestellt. Der dort beschriebene Transistor ermöglicht insbesondere eine  
15 vereinfachte Integration entweder eines npn- oder eines pnp-Hochgeschwindigkeits-HBTs in eine CMOS-)Technologie. Eine solche Technologie wird als BiCMOS-Technologie bezeichnet. Der WO 03/046948 A2 ist jedoch nicht zu entnehmen, wie ein solche npn- und pnp-Transistoren gemeinsam in einer Halbleitervorrichtung integriert werden können.

20 Bei pnp-Hetero-Bipolartransistoren (pnp-HBTs), die im Hochgeschwindigkeitsbereich arbeiten, sind im Vergleich mit den Fortschritten bei der Weiterentwicklung von npn-HBTs, insbesondere von npn-SiGe-HBTs die Fortschritte in den vergangenen Jahren eher gering gewesen. Für diese geringen Fortschritte bei der Verbesserung der Hochgeschwindigkeitseigenschaften von  
25 pnp-HBTs sind hauptsächlich folgende Gründe zu nennen:

- a) Der Typ des Heteroübergangs von Si/SiGe kommt guten Hochfrequenzeigenschaften bei npn-Transistoren entgegen, während diese Art des Heteroübergangs die Leistungsfähigkeit von pnp-Transistoren beeinträchtigt.

gen kann, vgl. D. V. Singh, J.L. Hoyt und J. F. Gibbons: "Novel epitaxial p-Si/n-Si<sub>1-y</sub>C<sub>y</sub>/p-Si heterojunction bipolar transistors", IEDM 2000, pp. 749-752, oder D. V. Singh, J.L. Hoyt und J. F. Gibbons: "Effect of band alignment and density of states on the collector current in p-Si/n-Si<sub>1-y</sub>C<sub>y</sub>/p-Si HBTs", IEEE Trans. Electron. Devices, vol. 50, pp. 425-432, Feb. 2003.

b) Aufgrund von Abscheide- und Diffusionseigenschaften der jeweiligen Dotanden lassen sich die Anforderungen an das Dotierungsprofil von npn-Hochgeschwindigkeitstransistoren in einem BiCMOS-Prozess leichter erfüllen als die für einen pnp-Transistor.

c) Die Prozesskomplexität herkömmlicher komplementären Bipolar- oder BiCMOS-Prozesse ist so groß und der wechselseitige Einfluss der Prozessmodule auf Bauelementeparameter so erheblich, dass wenig Ansätze existieren, die auf eine Verbesserung der Hochfrequenzeigenschaften von pnp-Transistoren in einer CBiCMOS-Halbleitervorrichtung zielen.

Dem heutigen Stand der Technik entsprechende Gestaltungsmerkmale von komplementären Bipolartransistoren und Verfahrensschritte einer komplementären SiGe-BiCMOS Technologie sind in B. El-Kareh, S. Balster, W. Leitz, P. Steinmann, H. Yasuda, M. Corsi, K. Dawoodi, C. Dirnecker, P. Foglietti, A. Haesler, P. Menz, M. Ramin, T. Scharnagl, M. Schiekofer, M. Schober, U. Schulz, L. Swanson, D. Tatman, M. Waitschull, J.W. Weijtmans und C. Willis: "A 5V complementary-SiGe BiCMOS technology for high-speed precision analog circuits", BCTM, pp. 211-214, 2003, veröffentlicht (nachfolgend El-Kareh et al.). Die dort beschriebene Lösung zielt auf möglichst geringe parasitäre Kapazitäten und einen möglichst geringen Kollektorwiderstand.

Kleine Kollektor-Substratkapazitäten werden mit Hilfe tiefer, mit Isolatormaterial verfüllter Gräben (engl.: „deep trenches“) sowie mit einer vergrabenen Oxidschicht in SOI-Technologie (engl.: „silicon on insulator“) realisiert. Außerdem sichert die vergrabene Oxidschicht in Verbindung mit den tiefen Gräben die elektrische Isolation der Kollektoren gegen das Substrat. Um Kollektorwiderstände klein zu halten, werden bei El-Kareh et al. epitaktisch vergrabene,

hochdotierte Kollektorschichten sowie spezielle Implantationsschritte für einen niederohmigen Anschluss der vergrabenen Kollektorschichten, sogenannte „Collector Sinker“, verwendet. El-Kareh et. al. erreichen mit dieser Technologie Grenzfrequenzen  $f_T/f_{max}$  von 19/60 GHz für npn-Transistoren und 19/45 GHz für pnp-Transistoren.

Nachteil dieses Verfahrens ist jedoch, dass typische moderne CMOS-Technologien weder epitaktisch vergrabene Kollektorschichten noch tiefe Isolationsgräben oder Kollektor Sinker enthalten. Der Prozessaufwand für diese Prozessschritte ist zum Teil erheblich. Da die CMOS-Transistoren in die Epitaxieschicht, die über den vergrabenen Kollektorschichten abgeschieden wird, eingebracht werden, ist eine zusätzliche Wärmebelastung der von El-Kareh et al. verwendeten vergrabenen Kollektorschichten während des CMOS-Prozesses nicht zu vermeiden. Dies verringert die Profilsteilheit der vergrabenen Kollektorschichten, wodurch die Leistungsfähigkeit beider Bipolartransistortypen, insbesondere jedoch die der pnp-Transistoren im Hochgeschwindigkeitsbereich beeinträchtigt wird.

Weiterhin hat das von El-Kareh et. al. beschriebene Verfahren den Nachteil, dass Prozessschritte für CMOS- und Bipolarbauelemente gekoppelt werden. So wird ein Gate-Polysilizium-Schichtstapel erzeugt, der aus zwei Polysiliziumabscheidungen resultiert. Die zweite Polysiliziumschicht entsteht während der Abscheidung der Basis der npn-Bipolartransistoren als p-dotierte polykristalline SiGe-Schicht. Damit soll das Ziel verfolgt werden, den Prozessaufwand und somit die Komplexität und den Kostenaufwand der vorgeschlagenen komplementären BiCMOS-Technologie gering zu halten. Der Nachteil dieses Verfahrens ist jedoch, dass auf diese Weise die üblicherweise angestrebte Austauschbarkeit von Prozessmodulen, beispielsweise die Ersetzung einer veralteten CMOS-Generation durch eine neue, behindert wird.

Wie oben erwähnt, bietet weiterhin zwar die Verwendung eines SOI-Substrates in Kombination mit „Deep Trenches“ den Vorteil, ohne weitere technologische Aufwendungen eine elektrische Isolation der Bipolartransisto-

ren zu ermöglichen. Außerdem kann die Kollektor-Substrat-Kapazität vergleichsweise klein gehalten werden. SOI-Substrate haben jedoch insbesondere den Nachteil, dass die Abführung der beim Transistorbetrieb entstehenden Wärme im Vergleich zu Standardsubstraten erheblich erschwert ist. Dieser  
5 Nachteil bewirkt eine zusätzliche Selbstaufheizung der Transistoren unter den Betriebsbedingungen im Hochgeschwindigkeitsbereich und führt damit zu einer Verringerung des Leistungspotentials.

10 Ferner sind die bei El-Kareh et. al. vorhandenen Si-Schichten auf der vergrabenen Oxidschicht des SOI-Substrates in der vertikalen Ausdehnung zu mächtig, um ohne Schwierigkeiten optimierte MOS-Transistoren, z.B. sogenannte „fully depleted MOS-Transistoren“, auf SOI-Substrat herstellen zu können. Die Integration der komplementären Bipolartransistoren mit einer CMOS-Technologie, die für Standard-Substrate entwickelt wurde, erfordert allein wegen des Übergangs auf SOI-Substrat zusätzliche Aufwendungen.

15 In der Publikation von M.C. Wilson, P.H. Osborne, S. Nigrin, S.B. Goody, J. Green, S.J. Harrington, T. Cook, S. Thomas, A.J. Manson, A. Madni: „Process HJ: A 30GHz NPN and 20GHz PNP complementary bipolar process for high linearity RF circuits“, S. 164-167, BCTM 1998, wird auf die Verwendung eines  
20 SOI-Substrates verzichtet und die elektrische Isolation der Bipolartransistoren in vertikaler Richtung mit Hilfe einer speziellen Isolationsdotierung erreicht. Für die laterale Isolation werden „Deep Trenches“ verwendet.

Die von Wilson et al. vorgestellte Anordnung hat jedoch den entscheidenden Nachteil, dass sowohl die vertikale als auch die laterale Grenzfläche zwischen Kollektor bzw. Kollektoranschlussgebiet und der speziellen Isolationsdotierung  
25 zur parasitären Kollektorkapazität des pnp-Transistors beitragen. Aufgrund der hohen parasitären Kollektorkapazität ist der Transistor von Wilson et al. daher für eine Verbesserung der Hochgeschwindigkeitsparameter ungeeignet. Weiterhin benötigt die spezielle, von Wilson et al. verwendete Dotierung einen zusätzlichen Maskenschritt.

Schließlich werden bei Wilson et al., ebenso wie bei El-Kareh et. al., epitaktisch vergrabene Kollektorschichten und Sink-Dotierungen für den Kollektoranschluss eingesetzt, wodurch sich die oben angegebenen Nachteile für eine CMOS-Integration ergeben. Das betrifft insbesondere den Umstand, dass die epitaktisch vergrabenen Kollektoren im Prozessablauf vor den Feldisolutions- und Wannengebieten der CMOS-Transistoren gefertigt werden müssen und damit die Realisierung steiler Profile stark behindert wird. In diesem Zusammenhang ist zu erwähnen, dass eine Integration der beschriebenen komplementären Bipolartransistoren in einem CMOS-Prozess nicht Gegenstand der Arbeit von Wilson et al. ist.

Das der Erfindung zugrunde liegende technische Problem ist es daher, eine komplementäre Bipolar-Halbleitervorrichtung der eingangs genannten Art anzugeben, bei der beide Bipolartransistortypen günstige Eigenschaften für Hochgeschwindigkeitsanwendungen aufweisen. Ein weiteres, der Erfindung zugrunde liegendes technisches Problem ist es, ein Verfahren zur Herstellung einer Bipolar-Halbleitervorrichtung anzugeben, mit dem die beschriebenen Nachteile bekannter Verfahren insbesondere im Hinblick bei der Integration der Herstellung der komplementären Bipolartransistoren in einer CMOS-Technologie vermieden werden können.

Gemäß einem ersten Aspekt der Erfindung wird das technische Problem gelöst durch eine komplementäre Bipolar-Halbleitervorrichtung

- mit einem Substrat eines ersten Leitfähigkeitstyps und einer Anzahl darauf vorgesehener aktiver Gebiete, die in lateraler Richtung von flachen Feldisolutionsgebieten begrenzt werden,
- bei der in einer ersten Teilanzahl der aktiven Gebiete vertikale npn-Bipolartransistoren mit epitaxialer Basis, und in einer zweiten Teilanzahl der aktiven Gebiete vertikale pnp-Bipolartransistoren mit epitaxialer Basis angeordnet sind,

- wobei entweder ein Transistortyp oder beide Transistortypen in ein und demselben jeweiligen aktiven Gebiet sowohl ein Kollektorgebiet als auch ein Kollektorkontaktgebiet aufweisen,

5 wobei ausschließlich bei einem ersten Transistortyp, bei dem der Leitfähigkeitstyp des Substrates mit dem des Kollektorgebiets übereinstimmt, ein Isolationsdotierungsgebiet zwischen Kollektorgebiet und Substrat vorgesehen ist, das ausgebildet ist, eine elektrische Isolation von Kollektor und Substrat zu bewirken, und wobei das Kollektorgebiet entweder des ersten Transistortyps oder beider Transistortypen lateral durch die flachen Feldisolationsgebiete begrenzt ist.

Die erfindungsgemäße komplementäre Bipolar-Halbleitervorrichtung wird nachfolgend auch als CBi-Halbleitervorrichtung bezeichnet.

15 Im Gegensatz zu bekannten, hinsichtlich ihrer Hochfrequenztauglichkeit optimierten komplementären Bipolar-Halbleitervorrichtungen gelingt mit der erfindungsgemäßen CBi-Halbleitervorrichtung auf einfache Weise die Integration der Herstellung beider Bipolartransistortypen mit besonders guten Hochfrequenzeigenschaften in einen CMOS-Prozess.

20 Die Integration beider Transistortypen in einen CMOS-Prozess wird erfindungsgemäß dadurch erleichtert, dass bei demjenigen Transistortyp, bei dem der Leitfähigkeitstyp des Kollektorgebiets mit dem des Substrats übereinstimmt, ein Isolationsdotierungsgebiet zwischen Kollektorgebiet und Substrat angeordnet ist, welches die vertikale Isolation dieses Transistortyps herstellt, wobei eine vertikale Isolation als Isolation zu den in Richtung des Substratinernen gelegenen Substratgebieten zu verstehen ist.

25 Der Transistortyp, bei dem der Leitfähigkeitstyp des Kollektorgebiets mit dem des Substrats übereinstimmt, wird hier auch als „erster Transistortyp“ oder „erster Bipolartransistortyp“ bezeichnet. Ist beispielsweise das Substrat p-leitend, so ist der erste Transistortyp ein pnp-Transistor.



Die erforderliche laterale Isolation des Kollektors dieses Bipolartransistortyps oder beider Bipolartransistortypen wird erfindungsgemäß von flachen Feldisolutionsgebieten, insbesondere Feldisolutionsgebieten der MOS-Technologie übernommen. Die flachen Feldisolutionsgebiete übernehmen in der erfindungsgemäßen CBI-Halbleitervorrichtung somit neben der Abgrenzung aktiver Gebiete von umgebenden Substratbereichen die laterale Isolation des Kollektors als zusätzliche Funktion. Die seitliche Begrenzung des Kollektorgebietes durch die Feldisolutionsgebiete bewirkt geringe Kapazitätswerte zwischen dem Kollektor des jeweiligen Transistors und der seitlichen bzw. substratseitigen Umgebung. Geringe Kapazitätswerte fördern die Hochfrequenztauglichkeit der Bipolartransistoren.

Das Merkmal der Isolationsdotierung und das Merkmal der lateralen Isolation durch die flachen Feldisolutionsgebiete bilden jeweils selbstständig schutzwürdige Erfindungen, die auch unabhängig von einander in einem Bipolartransistor verwirklicht werden können. Das Isolationsdotierungsgebiet stellt in vertikaler Richtung die elektrische Isolation des Kollektors des ersten Bipolartransistortyps zum Substrat her. Die Feldisolutionsgebieten bewirken eine laterale Isolation des Kollektors. Beide Merkmale können grundsätzlich mit jeweils anderen, für die vertikale bzw. laterale Isolation des Kollektors vorbekannten Isolationslösungen kombiniert werden. Besonders vorteilhaft ist jedoch die Wirkung dieser beiden Merkmale in Kombination in der vorliegend beanspruchten Erfindung.

Es ist bei der erfindungsgemäßen CBI-Halbleitervorrichtung nicht erforderlich, den ersten Bipolartransistortyp in einer Epitaxieschicht, die vor den wesentlichen Fertigungsprozessen für MOS-Transistoren abgeschieden wird, und über einer zuvor mit einem Extra-Maskenschritt dotierten Wanne anzuordnen, wie es bei bekannten BiCMOS-Prozessen der Fall ist. Auch die aufwändige Herstellung einer vergrabenen Oxidschicht und tiefer, mit Oxid verfüllter Gräben zur Isolation der Kollektorgebiete vom Substrat ist auf diese Weise überflüssig.

Insbesondere ermöglicht die erfindungsgemäße Anordnung die Herstellung hochleitfähiger und kapazitätsarmer Kollektorgebiete auch nach Fertigstellung wesentlicher Elemente einer MOS-Technologie, wie Fertigung der Feldisolation, der Wannengebiete und der MOS-Gates. Dadurch kann die Steilheit der Kollektorprofile, die nach der Implantation anzutreffen ist, während der restlichen Prozessschritte eines CBiCMOS-Prozesses bewahrt werden. Somit werden bessere Voraussetzungen für Hochfrequenztransistoren in einer CBiCMOS-Technologie geschaffen.

Wichtig für den Einsatz der erfindungsgemäßen Anordnung in Schaltungen ist die Realisierung defektarmer, hochdotierter Kollektorgebiete. Bisher im Rahmen der BiCMOS-Technologie angewandte Methoden zur Erzeugung defektarmer, hochdotierter Gebiete erfordern Wärmebehandlungen bei Temperaturen, die die Eigenschaften von Wannenprofilen der MOS-Transistoren oder Basisprofilen der Bipolartransistoren nachteilig beeinflussen können. Dies wird bei der Herstellung der erfindungsgemäßen CBi-Halbleitervorrichtung vermieden durch gezielt eingesetzte, amorphisierende Implantationen. Diese sichern eine defektarme Ausheilung der Implantate bei ausreichend niedrigen Temperaturen.

Die Anordnung von Kollektorgebiet und Kollektorkontaktgebiet in ein und demselben aktiven Gebiet bei der erfindungsgemäßen CBi-Halbleitervorrichtung ermöglicht auf einfache, aber sehr wirkungsvolle Weise die Erzielung geringer Kollektorwiderstände und Kollektor-Substrat-Kapazitäten. Weiterhin ist die Verwendung einer epitaxialen Basis in den Bipolartransistortypen für die Erzielung guter Hochfrequenzeigenschaften förderlich.

Die erfindungsgemäße Vorrichtung kann ohne Nachteile für die beteiligten Transistormodule auf SOI-Substraten mit sehr dünnen Si-Deckschichten hergestellt werden, die insbesondere Schichtdicken von weniger als 50 nm haben können. Insbesondere entfällt die bei bekannten Anordnungen durch vergrabene Oxidschichten verschlechterte Wärmeabfuhr. Auch die Vergrößerung

der Dicke der Si-Deckschichten während der Herstellung epitaktisch vergrabener Kollektoren tritt bei der erfindungsgemäßen Vorrichtung nicht auf. Daher kann die erfindungsgemäße Vorrichtung leicht mit so genannten „Fully Depleted“-MOS-Transistoren kombiniert werden.

5 Die erfindungsgemäße CBI-Halbleitervorrichtung wurde bereits im Rahmen einer CBiCMOS-Technologie mit pnp-Transistoren hergestellt, die  $f_T/f_{max}$ -Werte von 80 GHz/120 GHz und npn-Bipolartransistoren mit Werten von 180 GHz/185 GHz aufweisen. Dies ist eine Verbesserung gegenüber dem derzeit bekannten Stand der Technik um einen Faktor von etwa 2.

10 Nachfolgend werden Ausführungsbeispiele der erfindungsgemäßen CBI-Halbleitervorrichtung beschrieben.

Bei einem bevorzugten Ausführungsbeispiel ist im ersten Transistortyp im Bereich einer Grenzfläche zwischen dem Kollektorgebiet und dem Isolationsdotierungsgebiet ein p-n-Übergang ausgebildet, der am durch die Feldisolationsgebiete definierten Rand des betreffenden aktiven Gebiets, alternativ im gesamten jeweiligen aktiven Gebiet nicht tiefer angeordnet ist als die Unterkante der flachen Feldisolationsgebiete. Die geringe laterale Ausdehnung des Kollektorgebietes verringert den Kollektorwiderstand. Weiterhin wird mit dieser Maßnahme eine geringe Fläche der Raumladungszone zwischen dem Kollektorgebiet und dem Isolationsdotierungsgebiet ermöglicht, wodurch sich die Kollektor-Substrat-Kapazität weiter verringert. Wesentlich ist hierfür die laterale Begrenzung des p-n-Übergangs durch die flachen Feldisolationsgebiete. In der ersten genannten alternativen Ausführungsform dieses Ausführungsbeispiels kann der p-n-Übergang zwischen dem Kollektorgebiet und dem Isolationsdotierungsgebiet zur Mitte des aktiven Gebietes hin auch tiefer, also weiter zum Substratinneren hin angeordnet sein als die Unterkante der Feldisolationsgebiete. Der p-n-Übergang kann beispielsweise die Form einer auf den Kopf gestellten Glocke haben. In der zweiten genannten Ausführungsform dieses Ausführungsbeispiels ist der p-n-Übergang jedoch über die gesamte laterale Erstreckung des aktiven Gebiets in einer Tiefe angeordnet, die nicht

über die der Feldisolationsgebiete am Rand des aktiven Gebietes hinausreicht. Bei dieser Ausführungsform sind die Kapazitätswerte besonders gering, was besonders vorteilhaft für die Hochgeschwindigkeitsparameter des ersten Transistortyps ist.

5 Unterstützt wird diese Wirkung beim ersten Transistortyp in einem weiteren Ausführungsbeispiel durch eine geringe Konzentration der Isolationsdotierung im Raumladungsgebiet in Richtung Kollektor. Die Dotierstoffkonzentration dieses Gebietes ist vorzugsweise kleiner als  $1 \times 10^{17} \text{ cm}^{-3}$  und eingeschränkt maximal  $1 \times 10^{16} \text{ cm}^{-3}$  und weiter eingeschränkt kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$ .

10 Bei einem besonders bevorzugten Ausführungsbeispiel der erfindungsgemäßen CBI-Halbleitervorrichtung sind im ersten Transistortyp in einem lateral dem Kollektorkontaktgebiet benachbarten aktiven Gebiet eine Wanne des dem ersten Leitfähigkeitstyp entgegengesetzten, zweiten Leitfähigkeitstyps und ein ihr zugeordnetes Kontaktgebiet des zweiten Leitfähigkeitstyps vorgesehen. Zur Veranschaulichung dieses Ausführungsbeispiels wird vorab auf  
15 Figur 1 verwiesen. Dort ist die Wanne mit Bezugszeichen 4 und das Kontaktgebiet mit Bezugszeichen 112 eingezeichnet. Mit Hilfe dieser Struktur gelingt es, den Anschlusswiderstand der Isolationsdotierung gering zu halten. Die Verringerung des Anschlusswiderstandes der Isolationsdotierung bewirkt eine  
20 weitere Verbesserung der Hochfrequenzeigenschaften des ersten Transistortyps. In einer bevorzugten Ausführungsform ist die Wanne eine in einem MOS-Prozess hergestellte Wanne des zweiten Leitfähigkeitstyps.

Die Kollektordotierung wird bevorzugt so gewählt, dass ein geringer Kollektorwiderstand resultiert. Die Implantationsdosis kann im Bereich von  $1 \times 10^{13} \text{ cm}^{-2}$  bis  $8 \times 10^{15} \text{ cm}^{-2}$ , vorzugsweise zwischen  $2,5 \times 10^{14} \text{ cm}^{-2}$  bis  $5 \times 10^{15} \text{ cm}^{-2}$ ,  
25 eingeschränkt zwischen  $2,5 \times 10^{14} \text{ cm}^{-2}$  bis  $1 \times 10^{15} \text{ cm}^{-2}$  und noch weiter eingeschränkt zwischen  $2,5 \times 10^{14} \text{ cm}^{-2}$  bis  $5 \times 10^{14} \text{ cm}^{-2}$  liegen. Ein zweiter bevorzugter Dosisbereich liegt zwischen  $1 \times 10^{15} \text{ cm}^{-2}$  bis  $5 \times 10^{15} \text{ cm}^{-2}$ . Um einen geringen Kollektorwiderstand zu erzielen, ist außerdem ein möglichst abrupt  
30 Anstieg der Dotierung des Kollektorgebietes auf der emitterseitigen

Flanke des Profils vorteilhaft. Das Dotierungsprofil des Kollektorgebietes ist dabei bevorzugt so gestaltet, dass nach allen Diffusionsschritten an der basisseitigen Flanke die Konzentration innerhalb von weniger als 150 nm mindestens um zwei Größenordnungen, vorzugsweise innerhalb von weniger als 80 nm um mindestens zwei Größenordnungen, noch weiter eingeschränkt innerhalb von weniger als 40 nm um mindestens zwei Größenordnungen zunimmt. Beispielsweise kann die Kollektordotierung von einem Referenzniveau von mindestens  $1 \times 10^{17} \text{ cm}^{-3}$  ausgehend zunehmen. Die Zunahme der Dotierstoffkonzentration um mindestens zwei Größenordnungen über die angegebenen Tiefenbereiche erfolgt vorzugsweise in der Art, dass der hiermit ausgezeichnete Abschnitt des Kollektorprofils an der kollektorseitigen Basisgrenze beginnt.

Die Dotierstoffdosis der Wanne beträgt vorzugsweise zwischen  $5 \times 10^{12} \text{ cm}^{-2}$  und  $5 \times 10^{14} \text{ cm}^{-2}$ , besonders bevorzugt zwischen  $1 \times 10^{13} \text{ cm}^{-2}$  und  $2 \times 10^{14} \text{ cm}^{-2}$ .

Die Dotierstoffkonzentration des Kontaktgebiets beträgt vorzugsweise zwischen  $1 \times 10^{17} \text{ cm}^{-3}$  und  $1 \times 10^{21} \text{ cm}^{-3}$ .

Eine weitere Reduzierung des Widerstandswertes gelingt in einem Ausführungsbeispiel, bei dem die Wanne und das Kontaktgebiet das Isolationsdotierungsgebiet lateral an zwei, alternativ drei, alternativ vier Seiten umgeben.

Eine weitere Optimierung der Hochfrequenzeigenschaften beider Transistortypen gelingt durch eine besondere Ausbildung der Kollektordotierung. Die maximale Dotierstoffkonzentration im Kollektorkontaktgebiet des ersten Transistortyps beträgt vorzugsweise zwischen  $1 \times 10^{18} \text{ cm}^{-3}$  und  $5 \times 10^{20} \text{ cm}^{-3}$ . Die gleiche maximale Dotierstoffkonzentration wird vorzugsweise im Kollektorkontaktgebiet des zweiten Transistortyps angewendet.

Der erste oder der zweite Transistortyp oder beide Transistortypen weisen vorzugsweise eine SIC-Dotierung auf. Ein inneres Basisgebiet des jeweiligen Transistors definiert eine laterale Ausdehnung, mit der unterhalb ein zweites

Kollektorgebiet angeordnet ist (auch SIC-Dotierung genannt) welches bei gleichem Leitfähigkeitstyp höher dotiert ist als zumindest ein an das zweite Kollektorgebiet angrenzender Bereich des Kollektorgebietes.

5 Auch die Basis kann mit Blick auf die Hochfrequenztauglichkeit weiter optimiert werden. In einer bevorzugten Ausführungsform weist die epitaxiale Basis einen Basisschichtstapel mit einer Mehrzahl Schichten auf, die im inneren Basisgebiet einkristallin und in Abschnitten, die in lateraler Richtung außerhalb des inneren Basisgebiets liegen und nachfolgend als Basiskontaktgebiet bezeichnet werden, polykristallin ausgebildet sind. Die Herstellung dieser Schichtstruktur erfolgt beispielsweise zunächst mittels selektiver Epitaxie in einem Fenster über dem Kollektorgebiet und anschließend mittels differentieller Epitaxie.

15 Eine im Basisschichtstapel vorgesehene funktionelle Basisschicht kann besonders vorteilhaft entweder in Silizium oder in Silizium-Germanium eingebracht sein. Ist sie in Silizium eingebracht, weist sie vorzugsweise eine Dicke von zwischen 1 und 100 nm, insbesondere von zwischen 1 und 35 nm auf. Ist die funktionelle Basisschicht in Silizium-Germanium (SiGe) eingebracht, kann die Dicke der SiGe-Schicht zwischen 1 und 150nm, insbesondere zwischen 2 und 50nm liegen. Soweit in dieser Anmeldung die Formulierung „die Basisschicht“ verwendet wird, ist die funktionelle Basisschicht gemeint, es sei denn, dass ausdrücklich etwas anderes gesagt wird.

20 Vorzugsweise enthält der Basisschichtstapel eine emitterseitig an die Basisschicht angrenzende Deckelschicht.

25 Besonders bevorzugt ist eine oder sind mehrere der Schichten des Basisschichtstapels mit Kohlenstoff dotiert. Auf diese Weise kann die Dotierstoffkonzentration in den kohlenstoffdotierten Schichten erhöht werden, was eine Verringerung des Widerstandes bewirkt und die Hochfrequenzeigenschaften beider Bipolartransistortypen fördert.

Der erste, der zweite oder beide Transistortypen können einen T-förmigen Emitter enthalten. Eine besonders vorteilhafte, weil einfach herzustellende Ausführungsform sieht vor, dass ein im Basisschichtstapel des ersten Transistortyps vorgesehener substratseitiger Abschnitt des Basiskontaktgebiets aus demselben, gleichzeitig abgeschiedenen polykristallinen Halbleitermaterial gefertigt ist wie ein basisseitiger, äußerer Abschnitt des T-Querbalkens des Emitters im zweiten Transistortyp.

Eine weitere Vereinfachung erfolgt dadurch, dass ein im Basisschichtstapel des ersten Transistortyps vorgesehener emitterseitiger vertikaler Schichtabschnitt des Basiskontaktgebiets aus demselben, gleichzeitig abgeschiedenen polykristallinen Halbleitermaterial gefertigt ist wie ein kontaktseitiger vertikaler Schichtabschnitt des T-Querbalkens des Emitters im zweiten Transistortyp.

Die vorgenannten Ausführungsbeispiele bewirken, dass

- im ersten Transistortyp das polykristalline Basiskontaktgebiet im Basisschichtstapel eine parallel zur Substratoberfläche verlaufende Grenzfläche aufweist, entlang welcher Korngrenzen der hier aneinander grenzenden, basisseitigen und emitterseitigen, polykristallinen, vertikalen Schichtabschnitte ausgerichtet sind, und dass
- im zweiten Transistortyp der Emitter eine parallel zur Substratoberfläche verlaufende Grenzfläche aufweist, entlang welcher Korngrenzen in den hier aneinander grenzenden, basisseitigen und kontaktseitigen, polykristallinen, vertikalen Schichtabschnitten ausgerichtet sind.

Vorzugsweise haben die flachen Feldisolationsgebiete die Form flacher Gräben (engl.: shallow trench). Alternativ können die Feldisolationsgebiete auch mit Hilfe von LOCOS-Isolation oder anderer bekannter Verfahren hergestellt sein.

Ein besonders bevorzugtes Ausführungsbeispiel der Erfindung ist eine CBI-MOS- oder CBiCMOS-Halbleitervorrichtung. Das heißt, die CBI-Halbleitervorrichtung weist mindestens ein MOS-Halbleiterbauelement oder komplementäre MOS-Halbleiterbauelemente auf.

- 5 Bei einer weiteren bevorzugten Ausführungsform ist das Substrat p-leitend und der erste Transistortyp ein pnp-Transistor und der zweite Transistortyp ein npn-Transistor.

- 10 Gemäß einem zweiten Aspekt der Erfindung wird die Aufgabe gelöst durch ein Verfahren zur Herstellung komplementärer, hochfrequenztauglicher Bipolartransistoren im Rahmen eines CMOS-Prozesses,

- bei dem die Schichten beider Bipolartransistortypen in einem in den CMOS-Prozess eingefügten Bipolar-Verfahrensmodul auf aktiven Gebieten eines durch flache Feldisolationsgebiete vorstrukturierten Substrates eines ersten Leitfähigkeitstyps abgeschieden und strukturiert werden,
- 15 - bei dem bei einem oder beiden Bipolartransistortypen ein Kollektorgebiet und ein Kollektorkontaktgebiet innerhalb ein und desselben aktiven Gebiets ausgebildet werden und
- bei dem bei demjenigen Bipolartransistortyp, dessen Kollektorgebiet denselben Leitfähigkeitstyp aufweist wie das Substrat, in einem Implantations-  
20 schritt ein Isolationsdotierungsgebiet unterhalb des Kollektorgebiets erzeugt wird, derart, dass das Kollektorgebiet vom Substrat elektrisch isoliert ist.

- 25 Mit dem erfindungsgemäßen Verfahren gelingt die Herstellung der CBI-Halbleitervorrichtung gemäß dem ersten Aspekt der Erfindung. Das Verfahren zeichnet sich durch eine vergleichsweise geringe Komplexität aus. Weiterhin ist das Bipolar-Verfahrensmodul unabhängig von einem sind der CMOS-Prozess. Daher können beide Verfahren leicht in einem CBiCMOS-Prozess



integriert werden und auch unabhängig voneinander optimiert werden. Weitere Vorteile des erfindungsgemäßen Verfahrens ergeben sich aus der Darstellung der Vorteile der CBI-Halbleitervorrichtung gemäß dem ersten Aspekt der Erfindung.

- 5 Nachfolgend werden bevorzugte Ausführungsbeispiele des Verfahrens des zweiten Aspekts der Erfindung beschrieben.

Bei einem bevorzugten Ausführungsbeispiel des erfindungsgemäßen Verfahrens wird neben dem Implantationsschritt zur Erzeugung des Kollektorgebietes ein weiterer Implantationsschritt zur zumindest teilweisen Amorphisierung  
10 des Kollektorgebietes durchgeführt. Vorzugsweise wird nach den Implantationsschritten ein Schritt der Rekristallisation des Kollektorgebietes durchgeführt. Bei diesen Ausführungsbeispielen gelingt die Herstellung des Kollektorgebietes mit einer geringen Defektdichte. Der Schritt des Rekristallisierens wird vorzugsweise durch schnelles thermisches Ausheilen (engl.: rapid  
15 thermal annealing) bei ausreichend niedriger Temperatur durchgeführt.

Eine besonders einfache Realisierung des erfindungsgemäßen Verfahrens gelingt, wenn ein im Basisschichtstapel des ersten Transistortyps vorgesehener substratseitiger Schichtabschnitt des Basiskontaktgebiets gleichzeitig abgeschieden wird wie ein basisseitiger Schichtabschnitt des T-Querbalkens des  
20 Emitters im zweiten Transistortyp. Dabei kann sich ergeben, dass der entsprechende Schichtabschnitt des T-Querbalkens des Emitters eine Silizium-Germanium-Teilschicht enthält, weil dies im Basisschichtstapel des ersten Transistortyps so vorgesehen ist. Dies ist jedoch für die elektrischen Eigenschaften des Emitters des zweiten Transistortyps nicht nachteilig. Denn in  
25 einem nachfolgenden Verfahrensschritt wird dieser Emitterschichtabschnitt im Bereich des Emitterfensters geöffnet, so dass nur äußere Schichtabschnitte des Emitters aus diesem Material gefertigt sind. Diese haben keinen wesentlichen Einfluss auf die elektrischen Eigenschaften des Emitters des zweiten Transistortyps.

In einem weiteren Ausführungsbeispiel wird ein im Basisschichtstapel des ersten Transistortyps vorgesehener emitterseitiger Schichtabschnitt des Basiskontaktgebiets gleichzeitig abgeschieden wie ein kontaktseitiger Schichtabschnitt des T-Querbalkens des Emitters im zweiten Transistortyp. Auch mit dieser Maßnahme gelingt eine zusätzliche Vereinfachung des Bipolar-Verfahrensmoduls.

Das Bipolar-Verfahrensmodul wird vorzugsweise im Rahmen des CMOS-Prozesses im Anschluss an eine Gatestrukturierung und eine Bildung von Gate-Abstandshaltern und vor der Implantation von Source- und Draingebieten durchgeführt.

Das erfindungsgemäße Verfahren kann ohne Nachteile für die beteiligten Transistormodule auf SOI-Substraten, insbesondere SOI-Substraten mit sehr dünnen (beispielsweise <50nm) Si-Deckschichten hergestellt werden.

Weitere Merkmale und Vorteile der Erfindung ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen anhand der Figuren. Es zeigen:

Fig. 1 zeigt den Querschnitt der erfindungsgemäßen, komplementären Bipolartransistoren.

Fig. 2 zeigt den Querschnitt der erfindungsgemäßen, komplementären Bipolartransistoren während der Herstellung in einem BiCMOS-Prozess.

Fig. 3 zeigt den Querschnitt der erfindungsgemäßen, komplementären Bipolartransistoren während der Herstellung in einem BiCMOS-Prozess.

Fig. 4 zeigt den Querschnitt der erfindungsgemäßen, komplementären Bipolartransistoren während der Herstellung in einem BiCMOS-Prozess.

5 Fig. 5 zeigt den Querschnitt der erfindungsgemäßen, komplementären Bipolartransistoren während der Herstellung in einem BiCMOS-Prozess.

Fig. 6 zeigt den Querschnitt der erfindungsgemäßen, komplementären Bipolartransistoren während der Herstellung in einem BiCMOS-Prozess.

10 Fig. 7 zeigt den Querschnitt der erfindungsgemäßen, komplementären Bipolartransistoren während der Herstellung in einem BiCMOS-Prozess.

15 Fig. 8 zeigt den Querschnitt der erfindungsgemäßen, komplementären Bipolartransistoren während der Herstellung in einem BiCMOS-Prozess.

Fig. 9 zeigt den Querschnitt der erfindungsgemäßen, komplementären Bipolartransistoren während der Herstellung in einem BiCMOS-Prozess.

20 Fig. 10 zeigt den Querschnitt der erfindungsgemäßen, komplementären Bipolartransistoren während der Herstellung in einem BiCMOS-Prozess auf SOI-Substratscheibe.

Fig. 11 zeigt den Querschnitt der erfindungsgemäßen, komplementären Bipolartransistoren während der Herstellung in einem BiCMOS-Prozess auf SOI-Substratscheibe.

Fig. 12 zeigt den Querschnitt der erfindungsgemäßen, komplementären Bipolartransistoren während der Herstellung in einem BiCMOS-Prozess auf SOI-Substratscheibe nach einem alternativen Verfahren.

Es werden nachfolgend unter Bezug auf die jeweils genannten Figuren vier  
5 Beispiele beschrieben.

Beispiel 1:

Die erfindungsgemäße Halbleitervorrichtung, bestehend aus komplementären Bipolartransistoren mit epitaxialer Basis, wird nun in Bezug auf Fig. 1 erläutert. In diesem Beispiel sind ein npn-Bipolartransistor A und ein pnp Bipolartransistor B auf einem hochohmigen, einkristallinen p<sup>-</sup>-leitfähigen Si-Substrat 1 gefertigt. Die hier beschriebene Anordnung ist nicht auf p<sup>-</sup>-leitfähige Si-Substrate beschränkt. Die wesentlichen Merkmale können auch auf Substrate vom entgegengesetzten Leitfähigkeitstyp übertragen werden. Außerdem können gleichzeitig CMOS-Transistoren auf dem Substrat 1 vorhanden sein, sind aber  
10 in Figur 1 nicht dargestellt.

Der npn-Bipolartransistor A mit epitaxialer Basis umfasst einen n-leitenden Kollektor 11 und einen ebenfalls n-leitenden Emitter 40. Der Kollektor ist seitlich über das Kollektorkontaktgebiet 12 und eine Kollektoranschlussdotierung 14 zum Kontakt geführt.

20 In vertikaler Richtung befindet sich zwischen Emitter 40 und Kollektor 11 ein einkristalliner Schichtstapel 30, der sich seitlich als polykristalliner Schichtstapel 31 fortsetzt. Der Schichtstapel 30 enthält eine p-leitende Basisschicht 30c. Eine innere Basisschicht 32 wird als Abschnitt der Basisschicht 30c in horizontaler Richtung etwa durch die Breite des Emitterfensters 41 definiert. Seitlich  
25 ist die innere Basisschicht 32 angeschlossen über einen einkristallinen Bereich der Basisschicht 30c und weiter außerhalb über die hoch leitfähige Schicht 31.

Eine erste Art Isolationsgebiete 2, im weiteren als Feldisolationsgebiete bezeichnet, ragt von der Substratoberfläche aus ins Substratinnere hinein. Als Feldisolationsgebiete können sogenannte „Shallow-Trench“ Isolationen eingesetzt werden. Dabei handelt es sich um vorzugsweise 300 bis 600nm tiefe Gräben, die z.B. mit Siliziumdioxid ( $\text{SiO}_2$ ), aber auch mit einer Kombination aus Isolatormaterial und Polysilizium verfüllt sein können. Alternativ können auch mittels lokaler Oxidation (LOCOS) hergestellte Feldisolationsgebiete eingesetzt werden. Zusätzlich zu den flachen Feldisolationsgebieten sind auch tiefe, z.B. mit  $\text{SiO}_2$  verfüllte Gräben, sogenannte „Deep-Trenches“, nutzbar, die jedoch in der Anordnung gemäß Fig. 1 nicht vorgesehen sind.

Zwischen den Feldisolationsgebieten 2 sind an der Substratoberfläche Inseln einkristalliner Silizium-Gebiete, die sogenannten aktiven Gebiete vorhanden. In einem aktiven Gebiet 10 ist der npn-Bipolartransistor mit epitaxialer Basis angeordnet. Er enthält einen im Substrat liegenden Kollektor 11, der seitlich von den Seitenwänden der Feldisolationsgebiete 2 begrenzt wird. Auf der Substratoberfläche sind Isolationsgebiete 2. Art 20 erzeugt. Hierbei handelt es sich um eine 1nm bis 150nm dicke, vorzugsweise 30 bis 150nm dicke  $\text{SiO}_2$ -Schicht. Es können aber auch Schichtstapel aus verschiedenen Isolatormaterialien, z.B.  $\text{SiO}_2$ -Schichten mit unterschiedlicher Ätzrate in verdünnter Flusssäure oder eine Kombination von  $\text{SiO}_2$  und Siliziumnitrid  $\text{Si}_3\text{N}_4$  verwendet werden. Die Isolationsgebiete 2. Art können auch mit einer leitfähigen Schicht, z.B. hochdotiertem Polysilizium bedeckt sein. Im Beispiel von Fig. 1 besteht das Isolationsgebiet 2. Art 20 aus 2 Teilgebieten. Eines davon liegt sowohl auf Feldisolationsgebiet 2 als auch auf aktivem Gebiet, das zweite liegt vollständig auf aktivem Gebiet.

Bedeckt ist der Kollektor des npn-Transistors 11 mit einem einkristallinen Schichtstapel 30, der in einem Epitaxieschritt erzeugt wird. Der Schichtstapel 30 setzt sich aus vier, nachfolgend beschriebenen Schichten 30a – 30d zusammen. Das Kollektorfenster 13 im Isolationsgebiet 2. Art über dem Kollektor 11 ist durch die einkristalline Si-Schicht 30a gefüllt. Sie kann eine Dicke von 20nm bis 150nm, vorzugsweise 30nm bis 100nm besitzen. Durch differentiell-

les Wachstum entsteht die Pufferschicht 30b. Diese Schicht kann 5nm bis 70nm, vorzugsweise 10nm bis 50nm dick sein. Oberhalb der Pufferschicht ist die p-dotierte Basisschicht 30c erzeugt. Die Dicke der Basisschicht kann 5nm bis 100nm, vorzugsweise 5nm bis 35nm betragen. Über der Basisschicht folgt  
5 eine 10nm bis 100nm, vorzugsweise 20nm bis 50nm dicke Cap-Schicht 30d.

Die Basis 30c kann vorzugsweise in eine Legierung von SiGe eingebracht werden. Außerdem kann in den Pufferschichten 30a,b oder in der Basis-  
schicht 30c oder in der Cap-Schicht Kohlenstoff während der Epitaxie eingebaut worden sein.

10 Oberhalb des Schichtstapels 30, 31 befindet sich eine strukturierte Isolatorschicht 120a. Diese kann vorzugsweise aus einer 10nm bis 150nm, vorzugsweise aus 30 bis 120nm dicken SiO<sub>2</sub>-Schicht bestehen. Sie kann aber auch aus einer Kombination verschiedener Isolatormaterialien zusammengesetzt sein.

15 Die Öffnung in der Isolatorschicht 120a über dem Schichtstapel 30 definiert das Emitterfenster 41. Zur Herstellung des Emitterfensters 41 ist mit Hilfe einer Lackmaske die Polysiliziumschicht 131a strukturiert worden. Diese sogenannte Hartmaske wird eingesetzt, um in einem Nassätzschritt das Emitterfenster in die Isolatorschicht 120a zu übertragen.

20 Eine hoch dotierte Siliziumschicht vom Leitungstyp des Kollektors, die npn-Emitterschicht 42, bedeckt das Emitterfenster 41 sowie die Polysiliziumschicht 131a. Die npn-Emitterschicht 42 kann als ~~polykristallines~~, amorphes, partiell einkristallines, partiell polykristallines oder als einkristallines Material abgeschieden sein. Aus der hoch dotierten npn-Emitterschicht 42 kann während  
25 eines Hochtemperaturschrittes n-Dotierstoff in den Schichtstapel 30 durch das Emitterfenster 41 sowie in die Polysiliziumschicht 131a eindiffundiert sein. Der Emitter 40 umfasst in diesem Fall die npn-Emitterschicht 42, die Polysiliziumschicht 131a sowie das eindiffundierte n-Gebiet 43. Die resultierende seitliche Ausdehnung der npn-Emitterschicht 42 ist per Ätzung über eine Lackmaske

vorzugsweise so gestaltet, dass die Seitenflächen der npn-Emitterschicht 42 über die inneren Seitenflächen der Isolationsgebiete 2. Art 20 seitlich hinausragen. Auf diese Weise kann nach der Ätzung der npn-Emitterschicht 42 eine Dotierung des Schichtstapels 31 vom Leitfähigkeitstyp der Basis per Implantation so erfolgen, dass die Ausläufer dieser Implantation vom Kollektor 11 ferngehalten werden. Per Lackmaske wird die Schicht 31 strukturiert. Anschließend werden die npn-Emitterschicht 42 sowie die Isolatorschichten 2. Art 20 und die Schicht 31 an den Seitenwänden mit einem Spacer, bestehend aus einer Doppelschicht  $\text{SiO}_2/\text{Si}_3\text{N}_4$  24 versehen.

10 Nach der Spacerbildung werden die mit einer vorzugsweise 1nm bis 20nm  $\text{SiO}_2$  Restschicht bedeckten aktiven Gebiete nasschemisch freigeätzt. In einem folgenden Silizierungsschritt entstehen die im Vergleich zu hochdotiertem Si noch besser leitfähigen Silizidschichten 50. Die Oberfläche der Transistor- und Isolationsgebiete wird mit einer Isolatorschicht oder -schichtkombination 15 51 abgedeckt. Mit leitfähigem Material verfüllte Kontaktlöcher 60 und darüber liegende Metallstreifen 61 stellen den elektrischen Anschluss zu den Kontaktgebieten des Transistors her.

20 Der pnp-Bipolartransistor B mit epitaxialer Basis hat einen p-leitenden Kollektor 110 und einen ebenfalls p-leitenden Emitter 140. Der Kollektor 110 ist seitlich über ein Kollektorkontaktgebiet sowie eine Kollektoranschlussdotierung 117 zum Kollektorkontakt 60, 61 geführt.

25 Zwischen dem Kollektor 110 und dem Emitter 140 ist ein einkristalliner Schichtstapel angeordnet, der seitlich anschließend als polykristalliner Schichtstapel 131 fortgesetzt ist. Vom Kollektor ausgehend weist der einkristalline Schichtstapel eine einkristalline Si-Schicht 130a, eine Pufferschicht 130b, eine Basisschicht 130c sowie eine Deckelschicht 130d auf. Die Deckelschicht 130d wird auch als Cap-Schicht bezeichnet.

Die Basisschicht 130c ist n-leitend. Sie weist einen sich in lateraler Richtung etwa über die Breite des Emitterfensters 141 erstreckende innere Basisschicht

142 auf. Wie beim npn-Transistor A schließt sich an die innere Basisschicht 142 ein einkristalliner Bereich der Basisschicht 130c an, der in lateraler Richtung nach außen hin sich als hochleitfähige, polykristalline Basisanschlussschicht 131 fortsetzt.

5 Hinsichtlich der Schichtdicken der einzelnen Schichten des Schichtstapels 130 gilt das gleiche wie beim npn-Transistor A. Die Si-Schicht 130a kann eine Dicke von 20 nm bis 150 nm, vorzugsweise 30 nm bis 100 nm besitzen. Die mittels differentieller Epitaxie hergestellte Pufferschicht 130b hat eine Dicke zwischen 5 nm und 70 nm, vorzugsweise zwischen 10 nm und 50 nm. Die Basis-  
10 schicht 130c hat eine Schichtdicke zwischen 5 nm und 100 nm, vorzugsweise zwischen 5 nm und 35 nm. Die Cap-Schicht 130d hat eine Schichtdicke zwischen 10 nm und 100 nm, vorzugsweise zwischen 20 nm und 50 nm.

Die Basisschicht 130c des pnp-Transistors ist aus Si oder SiGe gefertigt. In den Pufferschichten 130a und 130b oder in der Basisschicht 130c oder in der  
15 Cap-Schicht 130d oder in mehreren dieser Schichten kann wie beim npn-Bipolartransistor A Kohlenstoff während der Epitaxie eingebaut worden sein.

Zu beachten ist, dass die im Basisschichtstapel 130 des pnp-Bipolartransistors B gegebene Materialfolge in Wachstumsrichtung in gleicher Weise im npn-Transistor A in äußeren Abschnitten 131a des Emitters vorliegt, da diese  
20 Funktionsschichten zugleich abgeschieden werden. Beim npn-Transistor A wird in einem nachfolgenden Schritt des Herstellungsverfahrens die Emitter-schicht 131a strukturiert und im Bereich der Emitterfensters mit Silizium aufgefüllt. Daher ist die Materialfolge des Basisschichtstapels 130 des pnp-Transistors B nur in den äußeren Schichtabschnitten des Emitters des npn-  
25 Transistors A wiederzufinden.

Im pnp-Transistor B ist oberhalb des Basisschichtstapels 130 der T-förmige Emitter 140 in einem durch laterale Abstandshalter (Spacer) 145 begrenzten Emitterfenster 141 abgeschieden. Der vertikale Abschnitt des T-förmigen Emitters 140 ist von einem erhöhten Basisanschlussgebiet 42a umgeben, das



auf dem Basisschichtstapel 130 abgeschieden ist und zur Ausbildung des Emitterfensters lateral strukturiert wurde. Zur Isolierung des einkristallinen Bereiches des Basisschichtstapels 130 in unmittelbarer Nähe des Emitterfensters 141 ist eine zusätzliche Isolationsschicht 136 vorgesehen. Diese schließt lateral unmittelbar an die Spacer 145 an und erstreckt sich lateral mindestens teilweise über den einkristallinen Bereich des Schichtstapels 130. Eine Polysiliziumschicht 137 grenzt seitlich an den Spacer 145 und bedeckt Isolationsschicht 136. Die Polysiliziumschicht 137 ist eine Hilfsschicht, die der Strukturierung der Isolationsschicht 136 dient.

Zur Isolierung des Querbalkens des T-förmigen Emitters 141 vom Basisanschlussgebiet 42a ist eine Isolationsschicht 146 vorgesehen. Lateral ist der Querbalken an den Seitenwänden mit einem Spacer aus einer Doppelschicht  $\text{SiO}_2\text{-Si}_3\text{N}_4$  24 isoliert.

Der Kollektor 110 weist unterhalb des Emitterfensters eine SiC-Dotierung 118 auf, die sich auch in die Si-Schicht 130a hinein erstreckt.

Zur Isolierung des Kollektors 110 des pnp-Transistors B ist unterhalb des Kollektors ein Isolationsdotierungsgebiet 116 vorgesehen, das n-dotiert ist. Das Isolationsdotierungsgebiet 116 und der Kollektor 110 bilden einen pn-Übergang 115, der lateral durch die Feldisolationsgebiete 2 begrenzt ist, welche das aktive Gebiet des pnp-Transistors B definieren. Der pn-Übergang 115 befindet sich also in Richtung zum Substratinneren in geringerer Tiefe als der Boden der flachen Isolationsgebiete 2.

Die Kollektordotierung 115 ist in vergleichsweise geringer Tiefe vorgesehen. Dadurch wird die Kollektordotierung auf den innerhalb der Feldisolationsgebiete 2 liegenden Bereich lateral beschränkt. Auf diese Weise wird die parasitäre Kapazität zwischen Kollektor und Substrat aufgrund der geringen Fläche des pn-Übergangs zwischen Kollektordotierung 115 und der Isolationsdotierung 116 vergleichsweise klein gehalten. In Kombination mit Isolationsdotierung 116 sowie Wanne 4 und Kontaktgebiet 112 wird eine kapazitäts- und wider-

standsarme Kollektoranordnung geschaffen, die der eingangs beschriebenen, vorbekannten SOI-Variante von El-Kareh et al. nicht nachsteht und die entsprechenden Eigenschaften der Vorrichtung von Wilson et al. deutlich verbessert. Dadurch werden im Ergebnis die Hochfrequenzeigenschaften des pnp-Transistors B deutlich verbessert.

Dem aktiven Gebiet des pnp-Kollektors B auf der Seite des Kollektoranschlusses benachbart ist ein Kontaktgebiet in einem aktiven Gebiet mit vergleichsweise geringer lateraler Ausdehnung. Das Kontaktgebiet 112 hat eine n-dotierte Wanne 4 und ein nahe der Substratoberfläche vorgesehenes Dotierungsgebiet 114, das mit einer Silizidschicht 50 nach oben hin abgeschlossen ist. Mit Hilfe dieser Struktur gelingt es, den Anschlusswiderstand gering zu halten. Zusätzlich zu einer n-Wanne kann auch in dem bevorzugten Gebiet eine n-Dotierung, die in bestimmten CMOS-Technologien der elektrischen Isolation von n-MOS-Transistoren dient, Anwendung finden. Diese Zusatzdotierung ist nicht in Fig. 1 eingezeichnet.

Die gegenüber der Isolationsdotierung 116 flachere p-Dotierung 115 wird sowohl als Kollektor des pnp-Transistors als auch als niederohmiger Anschluss zum später entstehenden Kollektor-Kontaktgebiet genutzt.

Die Tiefe des Dotierungsprofils 115 ist so eingestellt, dass der pn-Übergang zur darunter liegenden n-Isolationsdotierung 116 nicht tiefer als die Unterkante der Feldisolationsgebiete 2 liegt. Mit Hilfe der n-Isolationsdotierung 116 wird der pnp-Transistor B elektrisch vom Substrat 1 isoliert.

Die seitliche Begrenzung der Dotierung 115 durch die Feldisolationsgebiete 2 und eine vorzugsweise geringe Maximalkonzentration der n-Isolationsdotierung 116 im Raumladungszonengebiet zum Kollektor sichert geringe Kapazitätswerte zwischen dem Kollektor des pnp-Transistors und der seitlichen bzw. substratseitigen Umgebung.

Zusätzlich ist ein geringer Anschlusswiderstand der n-Isolationsdotierung 116 anzustreben. Zu diesem Zweck wird seitlich ein n-Wannengebiet 4 mit dazugehörigem Kontaktgebiet 112 angeordnet. Eine zusätzliche Erniedrigung des Anschlusswiderstandes der n-Isolationsdotierung 116 lässt sich erreichen  
5 durch zwei-, drei- und vierseitige Umschließung der n-Isolationsdotierung 116 mit Hilfe des n-Wannengebietes 4 und entsprechenden Kontaktgebieten 112.

Beispiel 2:

Es wird nun mit Bezug auf die Figuren 2 bis 8 ein Verfahren zur Herstellung der erfindungsgemäßen Halbleitervorrichtung, bestehend aus komplementären Bipolartransistoren mit epitaxialer Basis, erläutert. Außerdem werden im  
10 hier angegebenen Beispiel auf ein und derselben Substratscheibe neben komplementären Bipolartransistoren auch MOS-Transistoren erzeugt.

Fig. 2 zeigt eine Momentaufnahme während eines ersten Maskenschrittes zur Fertigung von komplementären Bipolartransistoren. Grundlage für die Herstellung bildet ein Substrat 1 (Fig. 2), das vorzugsweise ein möglichst hochohmiges, einkristallines p<sup>-</sup>-leitendes (geringe p-leitende Dotierung) Silizium umfasst. Der Bearbeitungsprozess des Substrates 1 beginnt mit der Erzeugung der Feldisolationsgebiete 2. Im vorliegenden Beispiel werden als Feldisolationsgebiete sogenannte „Shallow Trenches“ eingesetzt. Im weiteren  
15 Herstellungsablauf sind ausgewählte Gebiete per Implantation dotiert worden. Auf diesen Gebieten, den sogenannten Wannengebieten, werden komplementäre (C)MOS-Transistoren nach herkömmlichen Methoden hergestellt. Im Ausführungsbeispiel ist in den Figuren 2 bis 8 ein MOS-Transistor 5 über einem Wannengebiet 3 dargestellt. Fig. 2 zeigt den MOS-Transistor 5 nach der  
20 Gate-Spacer-Ätzung. Wie später genauer beschrieben wird, können Wannengebiete auch dafür genutzt werden, die Funktion der komplementären Bipolartransistoren zu sichern. Dafür ist in diesem Beispiel das n-Wannengebiet 4 vorgesehen.

Nach Ätzung der Gate-Spacer wird der Prozessablauf mit der Abscheidung eines  $\text{SiO}_2/\text{Si}_3\text{N}_4$ -Schichtstapels 6, 7 fortgesetzt. Dieser Schichtstapel schützt die CMOS-Transistoren vor der Einwirkung verschiedener Prozessschritte während der Fabrikation der komplementären Bipolartransistoren. Alle Prozessschritte, gerechnet von der Abscheidung des Schichtstapels 6, 7 bis zu seiner Entfernung, werden im folgenden als Bipolarmodul bezeichnet.

Mit Hilfe einer Lackmaske 8 und üblichen anisotropen Trockenätzprozessen wird der Schutzschichtstapel 6, 7 über dem aktiven Gebiet 10, dem Transistorgebiet des npn-Transistors geöffnet. Anschließend wird eine n-Dotierung 15 per Implantation ins aktive Gebiet 10 eingebracht. Die Implantation der n-Dotierung 15 kann vor dem Entfernen der Lackmaske 8 erfolgen oder im Anschluss daran, wenn die Dicke des Schichtstapels 6, 7 ausreicht, die implantierten Ionen von den abgedeckten Gebieten fernzuhalten.

Das Ergebnis nachfolgender Prozessschritte ist in Fig. 3 dargestellt. Diese Prozessschritte werden nun beschrieben. Nach Entfernung der Lackmaske 8 (vgl. Fig. 2) wird ganzflächig eine  $\text{SiO}_2$ -Schicht 20 (Fig. 3), woraus die Isolationsgebiete 2. Art entstehen, abgeschieden. Mit Hilfe einer Lackmaske (in Fig. 3 nicht dargestellt) und bekannten Trockenätzverfahren wird ein Fenster 13 über dem Kollektorgebiet 11 des npn-Transistors geöffnet. Um Schädigungen der Si-Oberfläche beim Trockenätzen zu vermeiden, bleibt zunächst eine Restoxidschicht über der Substratoberfläche erhalten. Diese Restoxidschicht wird mit üblichen Nassätzverfahren vor dem dann folgenden Epitaxieschritt zur Herstellung der npn-Basis entfernt.

Der Epitaxieschritt beginnt mit der selektiven Abscheidung der Schicht 30a, der selektiven Pufferschicht, und wird fortgeführt mit differentiellen Abscheidungen, bei denen die differentielle Pufferschicht 30b, die in situ mit Bor dotierte SiGe-Basissschicht 30c und die Cap-Schicht 30d, sowie auf amorphen Schichten die polykristalline Schicht 31 entstehen.

Fig. 3 zeigt einen Zustand des Prozessablaufes, in dem mit Hilfe einer Lackmaske 108 das aktive Gebiet 110, das pnp-Transistorgebiet, geöffnet wird. Bekannte Trockenätzverfahren werden angewendet, um über dem pnp-Transistorgebiet 110 einen Schichtstapel, bestehend aus der Poly-Si-Schicht 31, der  $\text{SiO}_2$ -Schicht 20 und der  $\text{Si}_3\text{N}_4$ -Schicht 7, zu entfernen. Zum Schutz der Substratoberfläche wird der Trockenätzprozess auf der  $\text{SiO}_2$ -Schicht 6 gestoppt:

Die Lackmaske wird außerdem genutzt, um in das pnp-Transistorgebiet 110 eine p-Dotierung 115 und eine tiefere, das heißt, im Vergleich zur p-Dotierung 115 weiter zum Substratinneren hin angeordnete n-Dotierung 116 einzubringen. Die n-Dotierung 116 wird nachfolgend auch als Isolationsdotierung bezeichnet. Die gegenüber der n-Dotierung 116 flachere p-Dotierung 115 wird sowohl als Kollektor des pnp-Transistors als auch als niederohmiger Anschluss zum später entstehenden Kollektor-Kontaktgebiet genutzt.

Die Tiefe des Dotierungsprofils 115 ist so eingestellt, dass der pn-Übergang zur darunter liegenden n-Isolationsdotierung 116 nicht tiefer als die Unterkante der Feldisolationsgebiete 2 liegt. Mit Hilfe der n-Isolationsdotierung 116 wird der pnp-Transistor elektrisch vom Substrat 1 isoliert.

Gemeinsam mit der Kollektordotierung 115 wird vorzugsweise ein weiterer Implant eingebracht, der wenigstens teilweise das Kollektorgebiet amorphisiert. Dadurch kann eine defektarme Ausheilung der Implantenschäden bei ausreichend niedriger Temperatur, vorzugsweise geringer als  $700^\circ\text{C}$ , ermöglicht werden. Der Einfluss auf bereits eingebrachte Dotierungsprofile, vor allem auf das Basis-Profil des npn-Transistors, wird dabei klein gehalten.

Die seitliche Begrenzung der Dotierung 115 durch die Feldisolationsgebiete 2 und eine vorzugsweise geringe Konzentration der n-Isolationsdotierung 116 in der Raumladungszone zum Kollektor 115 sichert geringe Kapazitätswerte zwischen dem Kollektor des pnp-Transistors und der seitlichen bzw. substratseitigen Umgebung.

Zusätzlich ist ein geringer Anschlusswiderstand der n-Isolationsdotierung 116 anzustreben. Zu diesem Zweck wird seitlich ein n-Wannengebiet 4 mit dazugehörigem Kontaktgebiet 112 angeordnet. Eine zusätzliche Erniedrigung des Anschlusswiderstandes der n-Isolationsdotierung 116 lässt sich erreichen durch zwei-, drei- und vierseitige Umschließung der n-Isolationsdotierung 116 mit Hilfe des n-Wannengebietes 4 und entsprechenden Kontaktgebieten 112.

Die nun im folgenden erläuterten Prozessschritte führen im Resultat auf ein in Fig. 4 gezeigtes Querschnittsbild. Nach Entfernung der Lackmaske 108 (Fig. 3) wird über dem pnp-Transistorgebiet 110 nasschemisch die  $\text{SiO}_2$ -Schicht 6 mit üblichen Methoden abgetragen. Anschließend wird ganzflächig an der Oberfläche eine  $\text{SiO}_2$ -Schicht 120 abgeschieden, aus der die Isolationsgebiete 3. Art gebildet werden. Mit Hilfe einer Lackmaske (in Fig. 4 nicht abgebildet) werden die Isolationsgebiete 3. Art 120 in einem Fenster 113 über dem Kollektorgebiet 111 des pnp-Transistors mit Hilfe bekannter Trockenätzprozesse geöffnet. Analog zum Prozessablauf vor dem oben beschriebenen Epitaxieschritt zur Herstellung der npn-Basis bleibt nach dem Trockenätzschritt eine Restoxidschicht (in Fig. 4 nicht dargestellt) stehen, die mit Hilfe nasschemischer Verfahren vor der Epitaxie für die Basis des pnp-Transistors entfernt wird.

Der Epitaxieschritt, bei dem die pnp-Basis erzeugt wird, besteht aus der Aufeinanderfolge von selektiver und differentieller Epitaxie. Zunächst entsteht im Fenster 113 über dem pnp-Kollektorgebiet 111 die selektive Pufferschicht 130a, anschließend die differentielle Pufferschicht 130b, dann die in situ mit Phosphor dotierte SiGe-Basissschicht 130c des pnp-Transistors und schließlich die Cap-Schicht 130d. Während der differentiellen Epitaxieschritte wächst auf dem Isolationsgebiet 3. Art 120 die polykristalline Schicht 131.

Der Prozessablauf wird mit der Abscheidung eines Schichtstapels 136, 137, bestehend aus  $\text{SiO}_2$  und amorphem (a-) Si, fortgesetzt. Mit Hilfe der in Fig. 4 abgebildeten Lackmaske 138 wird die a-Si-Schicht 137 auf den freibelichteten Gebieten mit üblichen Trockenätzverfahren entfernt. An dieser Stelle kann

vorzugsweise n-Dotierstoff per Implantation in die vom Lack nicht maskierten Gebiete eingebracht werden. Diese Dotierung dient der Verringerung des Anschlusswiderstandes des äußeren Basisgebietes des pnp-Transistors. Sie nutzt außerdem der Erniedrigung des Emitterwiderstandes des npn-Transistors, da die polykristalline Schicht 131 auch als Anschlussgebiet für den npn-Emitter verwendet wird.

Im weiteren werden die Bearbeitungsschritte beschrieben, die von der in Fig. 4 gezeigten Momentaufnahme zu dem in Fig. 5 dargestellten Zustand führen. Nach dem Entfernen der Lackmaske 138 (Fig. 4) werden mit Hilfe einer weiteren Lackmaske (in Fig. 5 nicht dargestellt) Emitterfenster 41 (Fig. 5) über dem npn-Transistorgebiet geöffnet. Dazu wird mit einem Trockenätzschritt in den vom Lack freibelichteten Gebieten die Polysiliziumschicht 131 mit Ätzstop auf der  $\text{SiO}_2$ -Schicht 120 entfernt. Die  $\text{SiO}_2$ -Schicht 120 kann vor der Abscheidung einer n-dotierten Polysiliziumschicht, der npn-Emitterschicht 42, vollständig mittels nasschemischer Verfahren oder zunächst teilweise mit Hilfe des Trockenätzens und abschließend durch nasschemische Methoden abgetragen werden.

Eine sogenannte SIC- Dotierung 18 des npn- Kollektorgebietes mittels Implantation (SIC: selectively implanted collector) kann vor oder nach dem Entfernen der Lackmaske (in Fig. 5 nicht abgebildet) erfolgen. Entscheidend für die Wahl der Reihenfolge von Lackentfernung und Einbringen der SIC-Dotierung 18 ist die ausreichende Abschirmung der außerhalb des Emitterfensters liegenden Bereiche während der Implantation.

Nach dem Freilegen der Si-Oberfläche über der Cap-Schicht 30d im npn-Emitterfenster 41 folgt die Abscheidung der in situ n-dotierten npn-Emitterschicht 42. Die Abscheidebedingungen können nach bekannten Verfahren auch so gewählt werden, dass epitaktisches Wachstum auf einkristallinen Si-Oberflächen eintritt. Abgedeckt wird die npn-Emitterschicht 42 mit einer  $\text{SiO}_2$ -Schicht 45.

Mit Hilfe der strukturierten Lackmaske 48 (Fig. 5) entsteht nach dem Entfernen eines Schichtstapels, bestehend aus  $\text{SiO}_2$ -Schicht 45, npn-Emitterschicht 42 und Polysiliziumschicht 137, mit Hilfe von Trockenätzverfahren das npn-Emitterfenster 141. Der Trockenätzprozess wird dabei so ausgeführt, dass die  $\text{SiO}_2$ -Schicht 136 wenigstens teilweise erhalten bleibt. Fig. 5 zeigt den bis zu diesem Prozessschritt erreichten Bearbeitungsstand.

Eine SIC-Dotierung des npn-Kollektorgebietes mittels Implantation kann vor oder nach dem Entfernen der Lackmaske (in Fig. 5 nicht abgebildet) erfolgen.

Weitere Prozessschritte werden nachfolgend unter Bezug auf Figur 6 erläutert. Im weiteren Ablauf werden nach üblichen Methoden sogenannte Inside-Spacer 145 (Fig. 6), bestehend aus  $\text{SiO}_2$ , an den Seitenwänden des npn-Emitterfensters 141 erzeugt und eine Rest- $\text{SiO}_2$ -Schicht, die nach dem Spacer-Ätzen über der Cap-Schicht 130d des npn-Transistors verbleibt, nass-chemisch abgetragen.

In einem nachfolgenden Epitaxieschritt wird nun die npn-Emitterschicht 142 erzeugt. Dabei können Abscheidebedingungen für differentielle Epitaxie aber auch für selektive oder für beide Varianten zum Einsatz kommen. Vorzugsweise wird eine in situ Dotierung mit Bor angestrebt.

Fig. 6 zeigt weiterhin eine Lackmaske 148, mit deren Hilfe in Trockenätzschritten im weiteren Prozessablauf die npn-Emitterschicht 142 sowie die  $\text{SiO}_2$ -Schicht 45 in den vom Lack befreiten Gebieten entfernt wird.

Weitere Prozessschritte werden nachfolgend unter Bezug auf Figur 7 erläutert. Eine weitere Lackmaske 58 wird angewendet, um, wie in Fig. 7 dargestellt, die Gebiete für den npn-Emitterkontakt sowie das npn-Basiskontaktgebiet zu strukturieren. Fig. 7 zeigt einen Zustand, in dem der Schichtstapel, bestehend aus der npn-Emitterschicht 42 und der Polysiliziumschicht 131, in den nicht mit Lack bedeckten Gebieten bereits mit Hilfe eines Trockenätzschrittes entfernt ist. Bei diesem Ätzschritt kommen solche bekannten Verfah-



ren zum Einsatz, die Silizium mit hoher Selektivität zum darunter liegenden  $\text{SiO}_2$  abtragen.

Unter Anwendung eines zweiten Trockenätzschrittes wird die  $\text{SiO}_2$ -Schicht 120 teilweise oder vollständig abgetragen. Vor dem Entfernen der Lackmaske 58 wird ein Implantationsschritt vom p-Typ ausgeführt, womit eine möglichst hohe p-Leitfähigkeit folgender Bereiche erreicht werden soll: a) der Polysiliziumschicht 31, aus der bei einer späteren Strukturierung das npn-Basiskontaktgebiet hervorgeht, sowie b) des pnp-Kollektorkontaktgebietes 117.

Der letzte Maskenschritt innerhalb des Bipolarmoduls dient der Strukturierung der npn-Basiskontaktgebiete 31, die im Ergebnis einer Trockenätzung der Polysiliziumschicht 31 entstehen.

Nach einem weiteren Trockenätzschritt, bei dem die unter der Polysiliziumschicht 31 liegende  $\text{SiO}_2$ -Schicht 20 abgetragen wird, entsteht der in Fig. 8 gezeigte Zustand. Für diesen Ätzschritt wurde ein Verfahren gewählt, welches  $\text{SiO}_2$  selektiv sowohl zu Si als auch zu  $\text{Si}_3\text{N}_4$  ätzt, wodurch eine ausreichende Überätzzeit zur Vermeidung von ungewollten Spacern gewährleistet werden kann. Eine Überätzzeit führt zu den grabenähnlichen Vertiefungen 69 in den aus  $\text{SiO}_2$  bestehenden Feldisoliationsgebieten 2. Während der zuvor beschriebenen Ätzschritte wird das pnp-Transistorgebiet durch die Lackmaske 68 geschützt.

Der Bipolarmodul endet mit der Entfernung der Lackmaske 68 und des Schichtstapels 7, 6.

Der weitere Prozessablauf umfasst bekannte Verfahren einer CMOS- oder BiCMOS-Technologie. Dazu zählt die Implantation von Source-/Drain-Gebieten für die MOS-Transistoren per Lackmaske.

In dem hier beschriebenen Ausführungsbeispiel werden die n-Source-/Drain-Gebiete auch als Kollektoranschlussdotierung 14 des npn-Transistors genutzt

(Fig. 9). Außerdem wird dabei die Dotierung 114 ins Kontaktgebiet 112 eingebracht, um einen niederohmigen Anschluss zur n-Isolationsdotierung 116 zu erreichen. Ebenso ist es möglich, aber hier nicht ausgeführt, mit Hilfe der p-Dotierung der Source-/Drain-Gebiete die pnp-Kollektordotierung im Kontaktgebiet zu verstärken.

Es kann auch vorteilhaft sein, sogenannte Extension-Gebiete für die MOS-Transistoren einzusetzen. Die Implantation dieser Gebiete per Lackmaske kann erfolgen, wenn man zuvor die vorzugsweise aus  $\text{Si}_3\text{N}_4$  bestehenden Spacer der MOS-Transistoren nasschemisch und in selektiver Weise entfernt. In diesem Fall sind vor einem üblichen Silizierungsschritt neue Spacer an den MOS-Gates zu erzeugen. Die dafür erforderliche Schicht kann gleichzeitig als Silizid-Blocker auf ausgewählten Gebieten genutzt werden. Hierfür ist die Strukturierung einer speziellen Maske notwendig.

Der Prozessablauf wird durch typische Prozessmodule zur Verdrahtung der Transistoren komplettiert. Dazu zählen bekannte Verfahren der Abscheidung und Strukturierung von Metallschichten sowie Methoden zur Abscheidung und Planarisierung von isolierenden Zwischenschichten.

### Beispiel 3:

Der in Beispiel 2 erläuterte Prozessablauf wird in der Weise geändert, dass vor der Abscheidung des Schichtstapels 6, 7 keine Gate-Spacer an den MOS-Gates erzeugt werden. Die Fertigung von Gate-Spacern kann zum einen mit der Entfernung der Schicht 7 am Ende des Bipolarmodules erfolgen. Dabei ist im Unterschied zum Beispiel 2 kein Naßätzverfahren sondern ein Trockenätzschritt erforderlich. Zum anderen kann, wie in Beispiel 2 beschrieben, eine Schicht nach dem Bipolarmodul abgeschieden werden, die mit Hilfe eines Trockenätzschrittes für die Gate-Spacer Herstellung genutzt wird. Wie in Beispiel 2 angegeben, können definierte Gebiete vor dieser Ätzung geschützt werden, wenn zuvor eine Lackmaske strukturiert wird.

#### Beispiel 4:

Der in Beispiel 2 beschriebene Bipolarmodul kann außerdem in eine SOI-MOS-Technologie integriert werden, ohne dass Auswirkungen auf die erfindungsgemäße Halbleitervorrichtung eintreten.

- 5 Die Ausgangssituation vor dem Bipolarmodul ist in Fig. 10 dargestellt. Im Unterschied zum Beispiel 2, Fig. 2 besteht die Substratscheibe aus Bulk-Silizium 200, einer  $\text{SiO}_2$ -Schicht 201 und einer Si-Schicht 202.

- 10 Außerdem benötigen die SOI-MOS-Transistoren keine im Bulk-Silizium 200 liegenden Wannengebiete. Typischerweise reichen die Feldisolationsgebiete 210 der SOI-MOS-Technologie, im weiteren als SOI-Feldisolationsgebiete bezeichnet, in Richtung Bulk-Silizium betrachtet nur bis zur  $\text{SiO}_2$ -Schicht 201. Neben den SOI-Feldisolationsgebieten 210 sind Feldisolationsgebiete 2, die aus flachen oder tiefen Gräben bestehen können, erzeugt worden. Diese Feldisolationsgebiete dienen wie oben beschrieben der lateralen Isolation der  
15 Kollektorgebiete.

Das Wannengebiet 214 kann mit einer speziellen Maske vor dem Bipolarmodul erzeugt werden. Das Ergebnis ist in Fig. 10 dargestellt. Es ist aber auch möglich, diesen Schritt im Anschluss an den Bipolarmodul auszuführen.

- 20 Im weiteren Prozessverlauf wird die Si-Schicht 202 mit Hilfe von Trockenätzverfahren über dem npn-Transistorgebiet 10 entfernt. Dieser Schritt kann vor oder nach dem Entfernen der Lackmaske 8 (Fig. 10) erfolgen.

- 25 Die  $\text{SiO}_2$ -Schicht 201 wird nasschemisch abgetragen. Anschließend kann mit Hilfe eines selektiven Epitaxieschrittes vorzugsweise die Oberfläche des Siliziums im npn-Transistorgebiet 10 bis etwa auf die Höhe der Oberkante der Feldisolationsgebiete 2 angehoben werden, wobei die Si-Schicht 203 (Fig. 11) entsteht. Es ist aber auch möglich, die Oberfläche des Bulk-Siliziums 200 als Oberfläche des späteren npn-Kollektorgebietes zu verwenden.

Die Position im Prozessablauf und die Implantationsbedingungen für das Einbringen der Dotierung 15 sind so anzupassen, dass am Ende des Herstellungsprozesses ähnliche Profilverläufe wie im Beispiel 2 entstehen. Dabei ist es möglich auch Mehrfachimplantationen einzusetzen, z.B. vor oder nach dem Entfernen der Lackmaske, nach dem Abätzen der Si-Schicht 202 oder der SiO<sub>2</sub>-Schicht 201, oder nach dem Aufwachsen der Si-Schicht 203. Der weitere Prozessablauf folgt dem Beispiel 2 mit der Abscheidung der SiO<sub>2</sub>-Schicht 20 (Fig. 11). Eine analoge Verfahrensweise wie beim Freilegen und Verfüllen des npn-Transistorgebietes ist beim pnp-Transistor anzuwenden.

10 Nach Fertigstellung des Bipolarmoduls und vor der Implantation der n-Source/ Drain-Gebiete ist abweichend von Beispiel 2 zusätzlich das Kontaktgebiet 212 unter der vergrabenen SiO<sub>2</sub>-Schicht 201 freizulegen (Fig. 11). Dafür kann eine spezielle Maske eingesetzt werden, mit deren Hilfe das Kontaktgebiet 212 zum Anschluss der n-Isolationsdotierung 116 freigelegt wird. Dabei kann eine Kombination aus Trocken- und Nassätzen eingesetzt werden. Außerdem kann bei diesem Maskenschritt auch das Wannengebiet 214 eingebracht werden.

20 Es ist jedoch auch möglich, ohne weitere Maske das Kontaktgebiet 212 freizulegen. Diese Variante ist in Fig. 12 verwirklicht. In diesem Fall ist per Lay out ein Kollektorkontaktgebiet des zweiten Transistortyps in diesem Gebiet zu definieren. Das Wannengebiet 214 ist in diesem Fall wie oben beschrieben mit Hilfe einer speziellen Maske zu erzeugen.

Ansprüche

1. Komplementäre Bipolar-Halbleitervorrichtung, nachfolgend CBi-Halbleitervorrichtung genannt,

- 5
- mit einem Substrat eines ersten Leitfähigkeitstyps und einer Anzahl darauf vorgesehener aktiver Gebiete, die in lateraler Richtung von flachen Feldisolationsgebieten begrenzt werden,
  - bei der in einer ersten Teilanzahl der aktiven Gebiete vertikale npn-Bipolartransistoren mit epitaxialer Basis, und in einer zweiten Teilanzahl der aktiven Gebiete vertikale pnp-Bipolartransistoren mit epitaxialer Basis angeordnet sind,
  - wobei entweder ein Transistortyp oder beide Transistortypen in ein und demselben jeweiligen aktiven Gebiet sowohl ein Kollektorgebiet als auch ein Kollektorkontaktgebiet aufweisen,

10

dadurch gekennzeichnet, dass bei einem ersten Transistortyp, bei dem der Leitfähigkeitstyp des Substrates mit dem des Kollektorgebiets übereinstimmt, ein Isolationsdotierungsgebiet zwischen Kollektorgebiet und Substrat vorgesehen ist, das ausgebildet ist, eine elektrische Isolation von Kollektor und Substrat zu bewirken und

15

dass das Kollektorgebiet entweder des ersten Transistortyps oder beider Transistortypen lateral durch die flachen Feldisolationsgebiete begrenzt ist.

- 20
2. CBi-Halbleitervorrichtung nach Anspruch 1, bei der im ersten Transistortyp im Bereich einer Grenzfläche zwischen dem Kollektorgebiet und dem Isolationsdotierungsgebiet ein p-n-Übergang ausgebildet ist, der am
- 25
- durch die Feldisolationsgebiete definierten Rand des betreffenden akti-

ven Gebiets, alternativ im gesamten jeweiligen aktiven Gebiet nicht tiefer angeordnet ist als die Unterkante der flachen Feldisolationsgebiete.

5 3. CBI-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der Dotierstoffkonzentration der Isolationsdotierung im Raumladungsgebiet in Richtung Kollektor kleiner als  $1 \times 10^{17} \text{ cm}^{-3}$  ist .

4. CBI-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der die Dotierstoffkonzentration der Isolationsdotierung im Raumladungsgebiet in Richtung Kollektor maximal  $1 \times 10^{16} \text{ cm}^{-3}$  beträgt.

10 5. CBI-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der die Dotierstoffkonzentration der Isolationsdotierung im Raumladungsgebiet in Richtung Kollektor kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  ist .

15 6. CBI-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der im ersten Transistortyp in einem lateral dem Kollektorkontaktgebiet benachbarten aktiven Gebiet eine Wanne des dem ersten Leitfähigkeitstyp entgegengesetzten, zweiten Leitfähigkeitstyps und ein ihr zugeordnetes Kontaktgebiet des zweiten Leitfähigkeitstyps vorgesehen sind.

7. CBI-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der die Dotierstoffdosis der Wanne (4) zwischen  $5 \times 10^{12} \text{ cm}^{-2}$  und  $5 \times 10^{14} \text{ cm}^{-2}$  beträgt.

20 8. CBI-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der die Dotierstoffdosis der Wanne eingeschränkt zwischen  $1 \times 10^{13} \text{ cm}^{-2}$  und  $2 \times 10^{14} \text{ cm}^{-2}$  beträgt.

25 9. CBI-Halbleitervorrichtung nach einem der Ansprüche 6 bis 8, bei der die Wanne eine in einem MOS-Prozess hergestellte Wanne des zweiten Leitfähigkeitstyps ist.

10. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der die Dotierstoffkonzentration des Kontaktgebiets zwischen  $1 \times 10^{17} \text{ cm}^{-3}$  und  $1 \times 10^{21} \text{ cm}^{-3}$  beträgt.

5 11. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der die Wanne und das Substratkontaktgebiet das Isolationsdotierungsgebiet lateral an zwei, alternativ drei, alternativ vier Seiten umgeben.

10 12. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der die maximale Dotierstoffkonzentration im Kollektorkontaktgebiet des ersten oder zweiten Transistortyps zwischen  $1 \times 10^{18} \text{ cm}^{-3}$  und  $5 \times 10^{20} \text{ cm}^{-3}$  beträgt.

15 13. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der der erste oder der zweite Transistortyp oder beide Transistortypen ein inneres Basisgebiet aufweisen, unterhalb dessen mit etwa derselben lateralen Erstreckung wie das innere Basisgebiet ein zweites Kollektorgebiet angeordnet ist, welches bei gleichem Leitfähigkeitstyp höher dotiert ist als zumindest ein an das zweite Kollektorgebiet angrenzender Bereich des Kollektorgebietes.

20 14. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der die epitaxiale Basis einen Basisschichtstapel mit einer Mehrzahl Schichten umfasst, die im inneren Basisgebiet einkristallin und in Abschnitten, die in lateraler Richtung außerhalb des inneren Basisgebiets liegen und nachfolgend als Basiskontaktgebiet bezeichnet werden, polykristallin ausgebildet sind.

25 15. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der der Basisschichtstapel eine entweder aus Silizium oder aus Silizium-Germanium gefertigte Basisschicht enthält, die eine Dicke von zwischen 1 und 100 nm, insbesondere von zwischen 1 und 35 nm aufweist.

16. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der der Basisschichtstapel eine emitterseitig an die Basisschicht angrenzende Deckelschicht enthält.

5 17. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der eine oder mehrere der Schichten des Basisschichtstapels mit Kohlenstoff dotiert sind.

18. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der ein Emitter entweder des ersten oder des zweiten oder beider Transistortypen T-förmig ausgebildet ist.

10 19. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der ein im Basisschichtstapel des ersten Transistortyps vorgesehene substratseitiger Abschnitt des Basiskontaktgebiets aus demselben, gleichzeitig abgeschiedenen polykristallinen Halbleitermaterial gefertigt sind wie ein basisseitiger, äußerer Abschnitt des T-Querbalkens des Emitters im zweiten Transistortyp.

15

20. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der ein im Basisschichtstapel des ersten Transistortyps vorgesehener emitterseitiger vertikaler Schichtabschnitt des Basiskontaktgebiets aus demselben, gleichzeitig abgeschiedenen polykristallinen Halbleitermaterial gefertigt ist wie ein kontaktseitiger vertikaler Schichtabschnitt des T-Querbalkens des Emitters im zweiten Transistortyp.

20

21. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der

25 - im ersten Transistortyp das polykristalline Basiskontaktgebiet im Basisschichtstapel eine parallel zur Substratoberfläche verlaufende Grenzfläche aufweist, entlang welcher Korngrenzen der hier anein-



ander grenzenden, basisseitigen und emitterseitigen, polykristallinen, vertikalen Schichtabschnitte ausgerichtet sind, und bei der

- 5
- im zweiten Transistortyp der Emitter eine parallel zur Substratoberfläche verlaufende Grenzfläche aufweist, entlang welcher Korngrenzen in den hier aneinander grenzenden, basisseitigen und kontaktseitigen, polykristallinen, vertikalen Schichtabschnitten ausgerichtet sind.

22. CBi-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der die flachen Feldisulationsgebiete die Form flacher Gräben haben.

10

23. CBiMOS- oder CBiCMOS-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, mit zusätzlich mindestens einem MOS-Halbleiterbauelement oder mit komplementären MOS-Halbleiterbauelementen.

15

24. CBi- oder CBiMOS- oder CBiCMOS-Halbleitervorrichtung nach einem der vorstehenden Ansprüche, bei der das Substrat p-leitend und der erste Transistortyp ein pnp-Transistor und der zweite Transistortyp ein npn-Transistor ist.

25. Verfahren zur Herstellung komplementärer, hochfrequenztauglicher Bipolartransistoren,

- 20
- bei dem die Schichten beider Bipolartransistortypen auf aktiven Gebieten eines durch flache Feldisulationsgebiete vorstrukturierten Substrates eines ersten Leitfähigkeitstyps abgeschieden und strukturiert werden,
  - bei dem bei einem oder beiden Bipolartransistortypen ein Kollektorgebiet und ein Kollektorkontaktgebiet innerhalb ein und desselben aktiven Gebiets ausgebildet werden und

- 5      - bei dem bei demjenigen Bipolartransistortyp, dessen Kollektorgebiet denselben Leitfähigkeitstyp aufweist wie das Substrat, in einem Implantationsschritt ein Isolationsdotierungsgebiet unterhalb des Kollektorgebiets erzeugt wird, derart, dass das Kollektorgebiet vom Substrat elektrisch isoliert ist.

26. Verfahren nach Anspruch 25, bei dem während des Implantationsschrittes zur Erzeugung des Kollektorgebietes ein zweiter Implantationsschritt zur zumindest teilweisen Amorphisierung des Kollektorgebietes durchgeführt wird.

10      27. Verfahren nach Anspruch 26, bei dem nach dem zweiten Implantationsschritt ein Schritt der Rekristallisation des Kollektorgebietes durchgeführt wird.

15      28. Verfahren nach einem der Ansprüche 25 bis 27, bei dem ein im Basis-schichtstapel des ersten Transistortyps vorgesehener substratseitiger Schichtabschnitt des Basiskontaktgebiets gleichzeitig abgeschieden wird wie ein basisseitiger Schichtabschnitt des T-Querbalkens des Emitters im zweiten Transistortyp.

20      29. Verfahren nach einem der Ansprüche 25 bis 28, bei dem ein im Basis-schichtstapel des ersten Transistortyps vorgesehener emitterseitiger Schichtabschnitt des Basiskontaktgebiets gleichzeitig abgeschieden wird wie ein kontaktseitiger Schichtabschnitt des T-Querbalkens des Emitters im zweiten Transistortyp.

25      30. Verfahren nach einem der Ansprüche 25 bis 29, bei dem das Bipolar-Verfahrensmodul im Rahmen des CMOS-Prozesses im Anschluss an eine Gatestrukturierung und eine Bildung von Gate-Abstandshaltern und vor der Implantation von Source- und Draingebieten durchgeführt wird.

31. Verfahren nach einem der Ansprüche 25 bis 30, bei dem die Bipolartransistoren auf einem SOI-Substrat hergestellt werden.
32. Verfahren nach Anspruch 31, bei dem die Bipolartransistoren auf einem SOI-Substrat mit einer dünnen Si-Deckschicht von weniger als 50nm Schichtdicke hergestellt werden.
33. Verfahren zur Herstellung eines CBiMOS- oder CBiCMOS-Halbleitervorrichtung, gekennzeichnet durch ein in den das Verfahren integriertes Verfahrensmodul mit den Schritten des Verfahrens nach einem der Ansprüche 25 bis 32.

### Zusammenfassung

Die Erfindung betrifft eine komplementäre BiCMOS-Halbleitervorrichtung

- 5 - mit einem Substrat eines ersten Leitfähigkeitstyps und einer Anzahl darin vorgesehener aktiver Gebiete, die in lateraler Richtung von flachen Feldisolationsgebieten begrenzt werden,
- bei der in einer ersten Teilanzahl der aktiven Gebiete vertikale npn- Bipolartransistoren mit epitaxialer Basis, und in einer zweiten Teilanzahl der aktiven Gebiete vertikale pnp-Bipolartransistoren mit epitaxialer Basis angeordnet sind,
- 10 - wobei entweder ein Transistortyp oder beide Transistortypen in ein und demselben jeweiligen aktiven Gebiet sowohl ein Kollektorgebiet als auch ein Kollektorkontaktgebiet aufweisen.

15 Zur Verbesserung der Hochfrequenzeigenschaften ist ausschließlich bei einem ersten Transistortyp, bei dem der Leitfähigkeitstyp des Substrates mit dem des Kollektorgebiets übereinstimmt, ein Isolationsdotierungsgebiet zwischen Kollektorgebiet und Substrat vorgesehen, das ausgebildet ist, eine elektrische Isolation von Kollektor und Substrat zu bewirken. Weiterhin ist das Kollektorgebiet entweder des ersten Transistortyps oder beider Transistortypen lateral durch die flachen Feldisolationsgebiete begrenzt.

20 Fig. 1

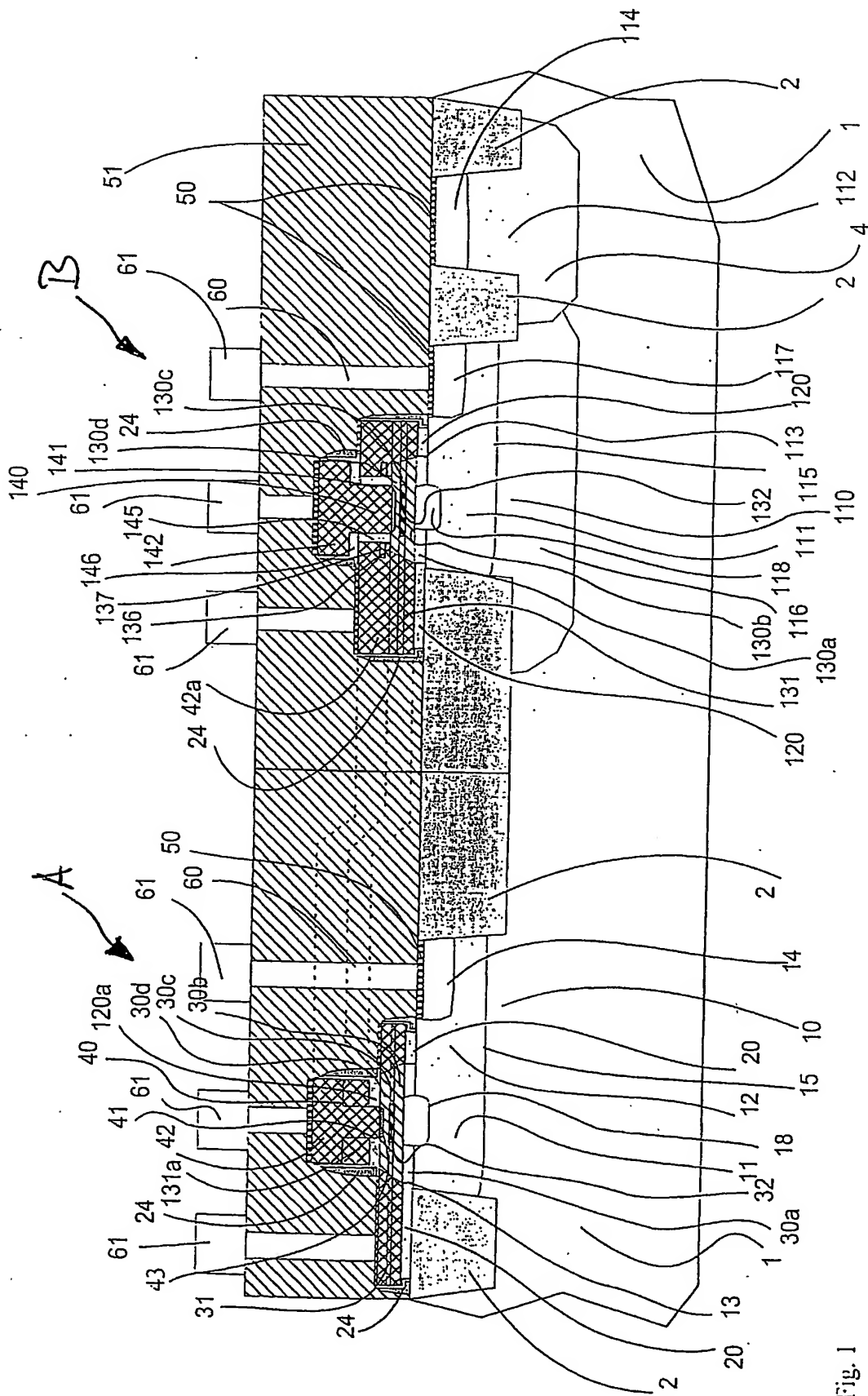


Fig. 1

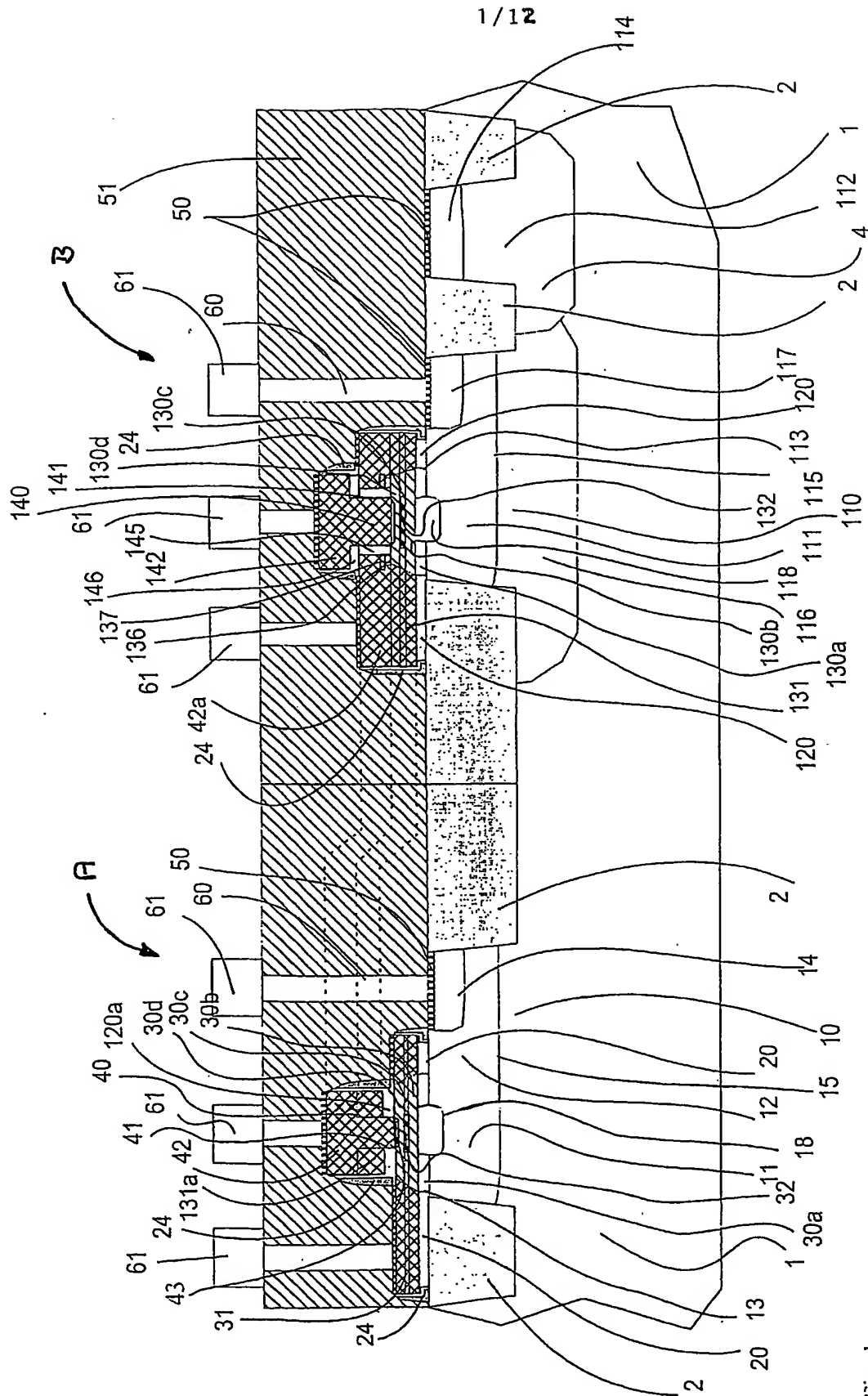


Fig. 1

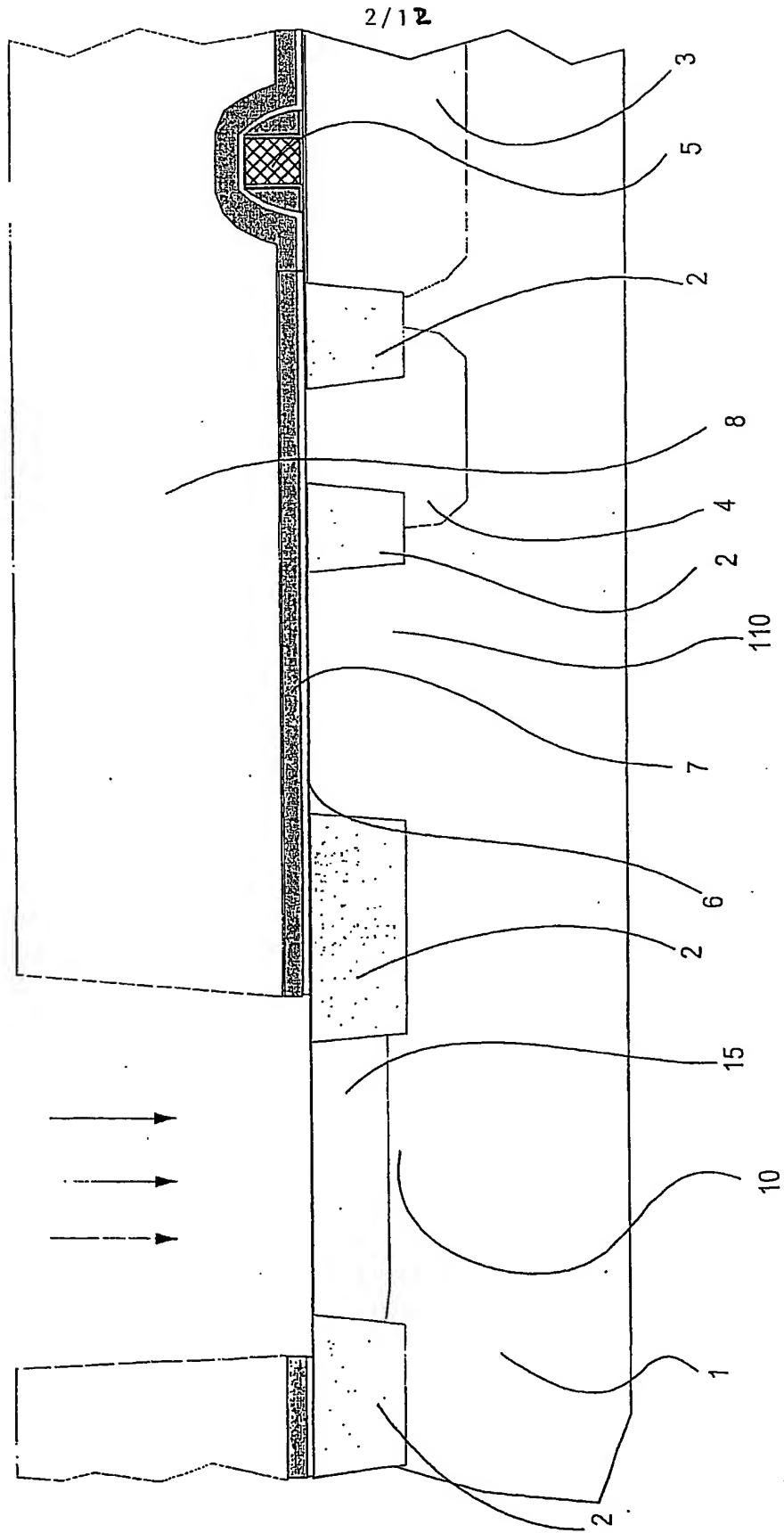


Fig. 2

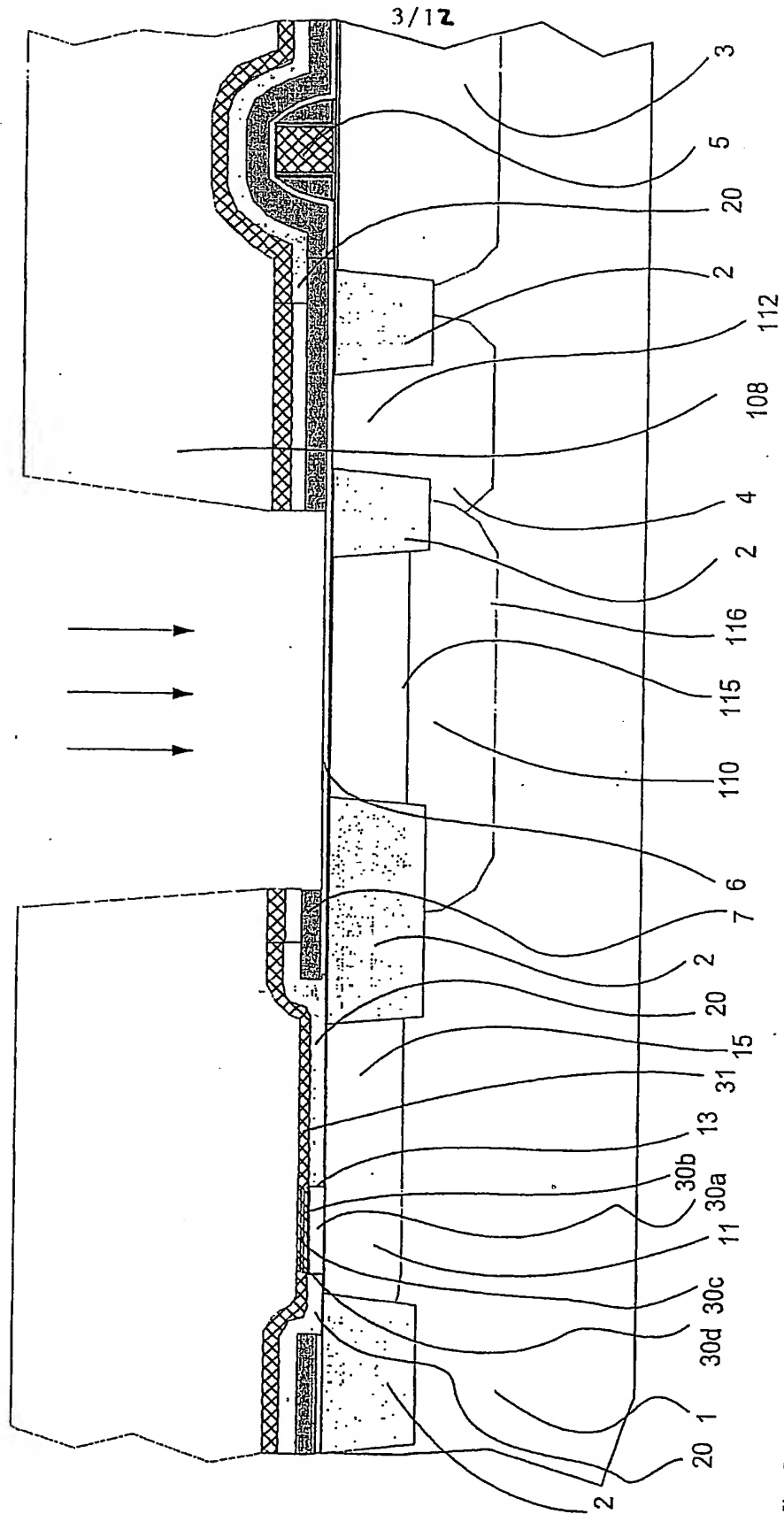


Fig. 3



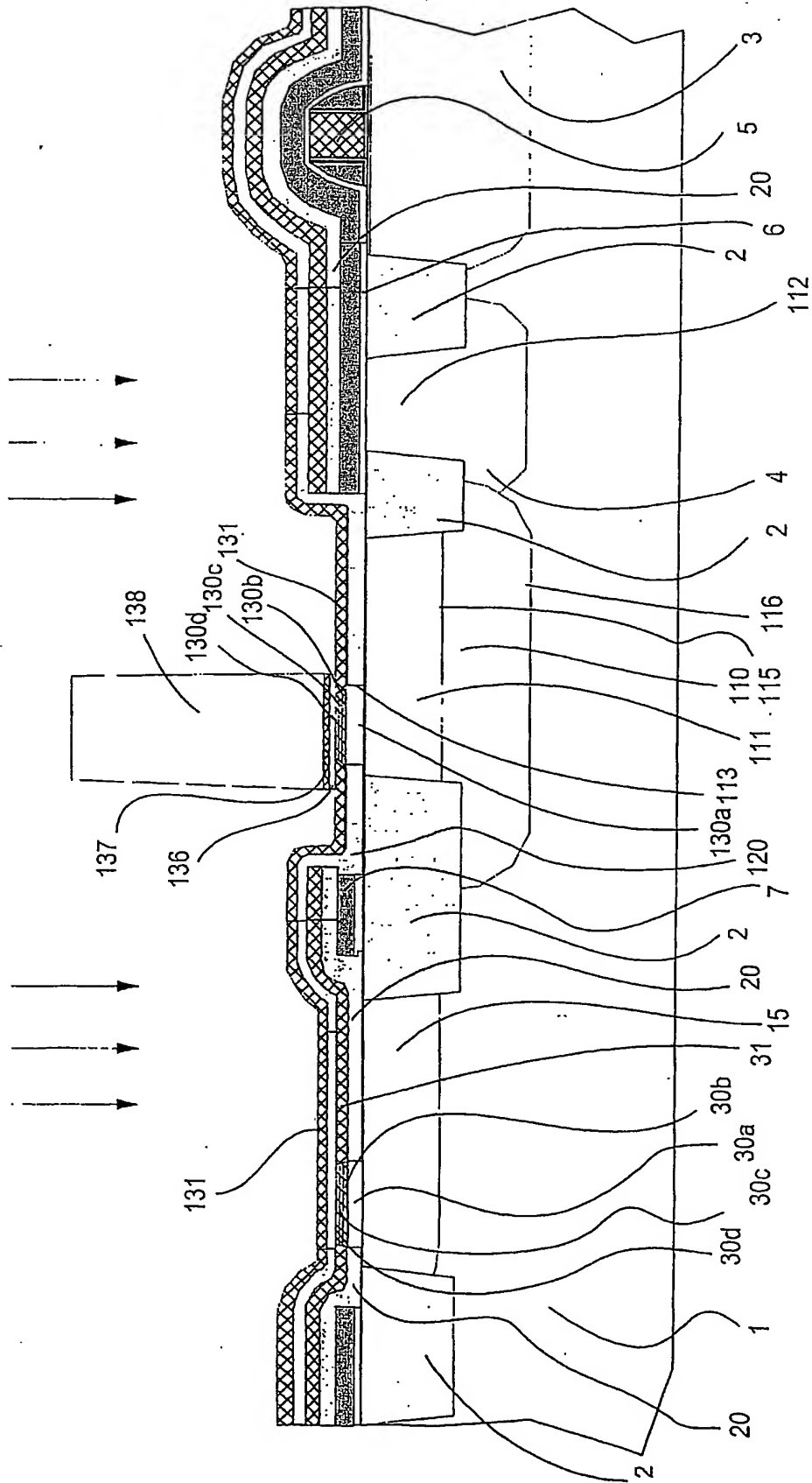


Fig. 4

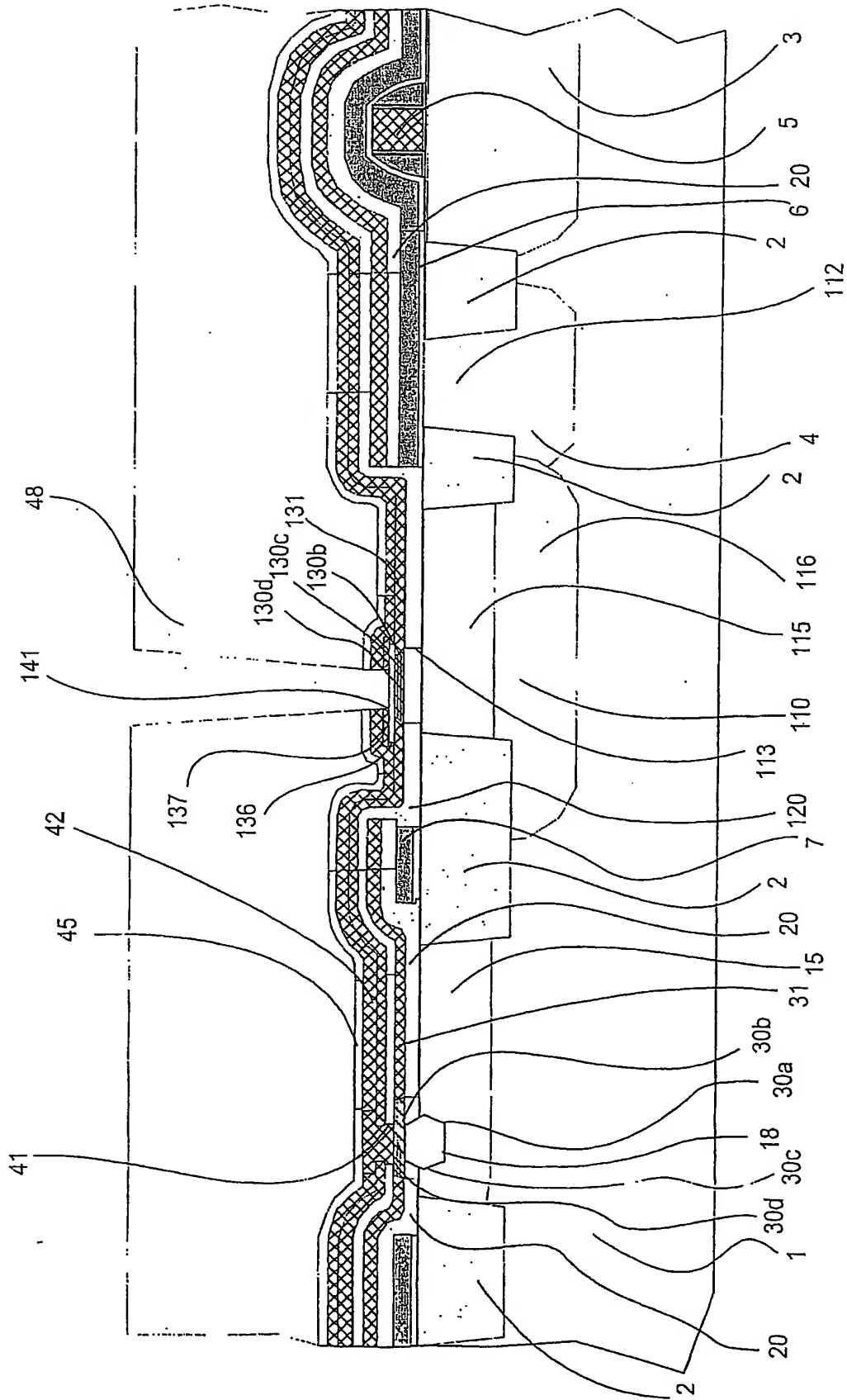


Fig. 5

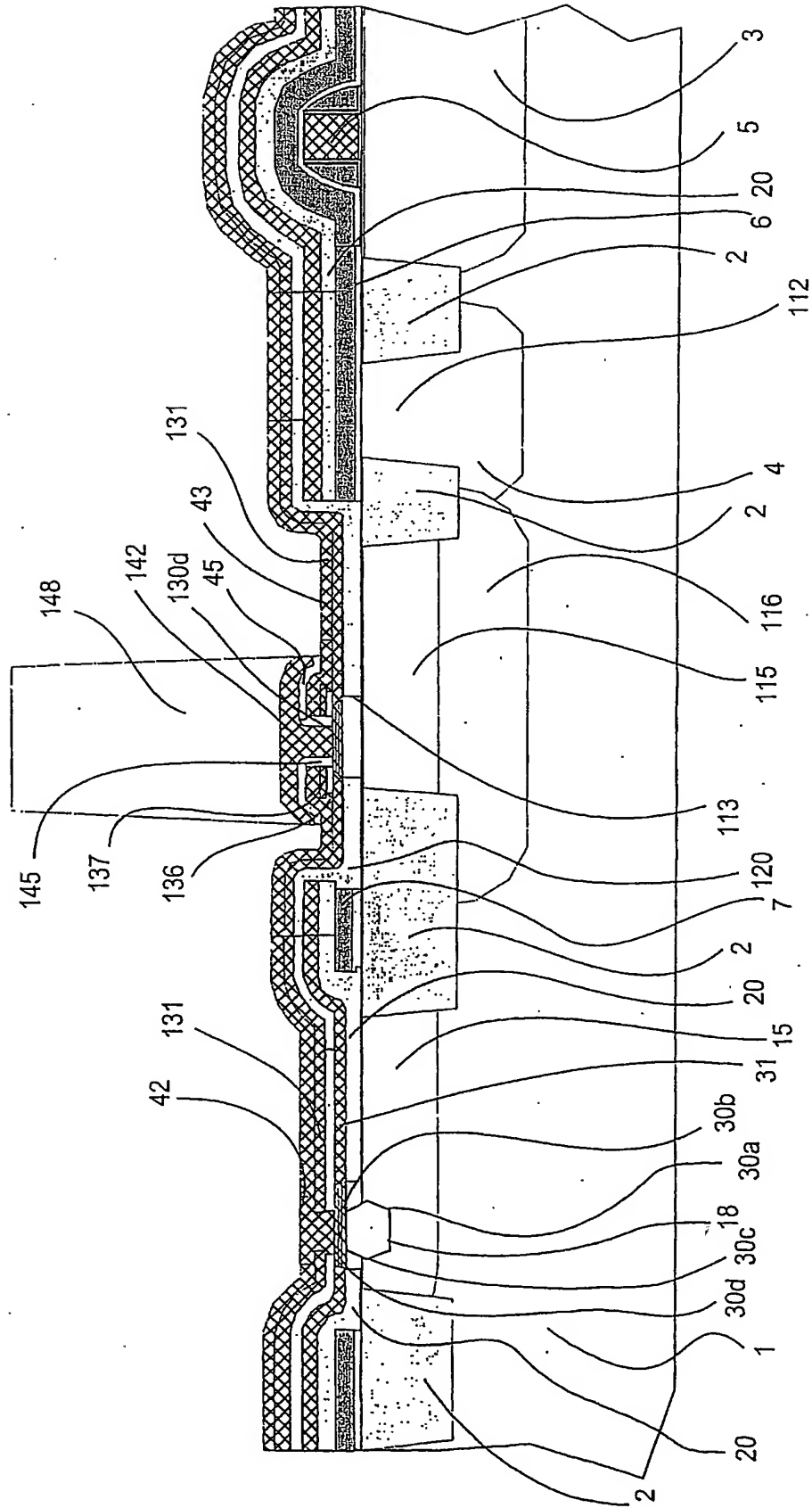


Fig. 6

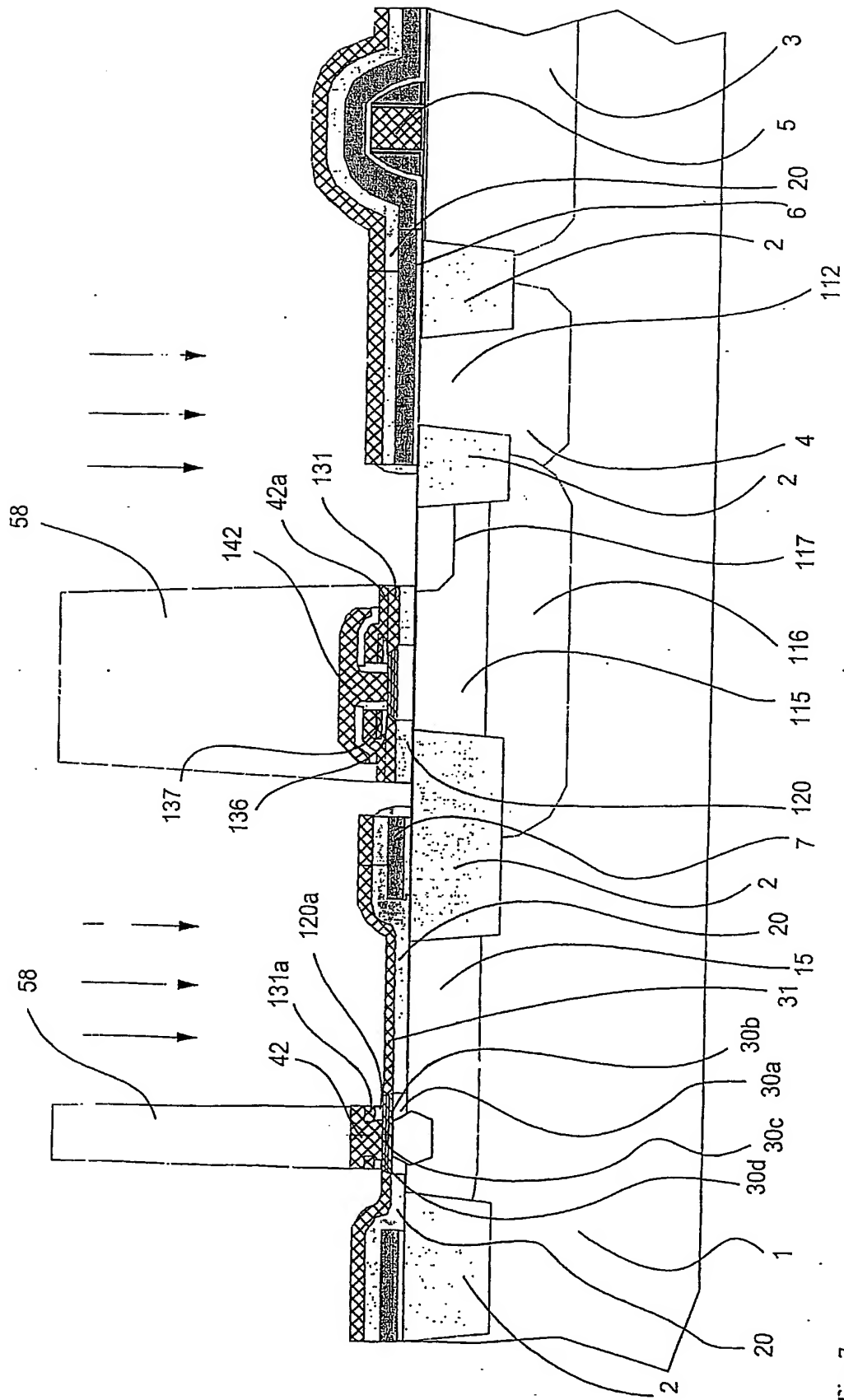


Fig. 7

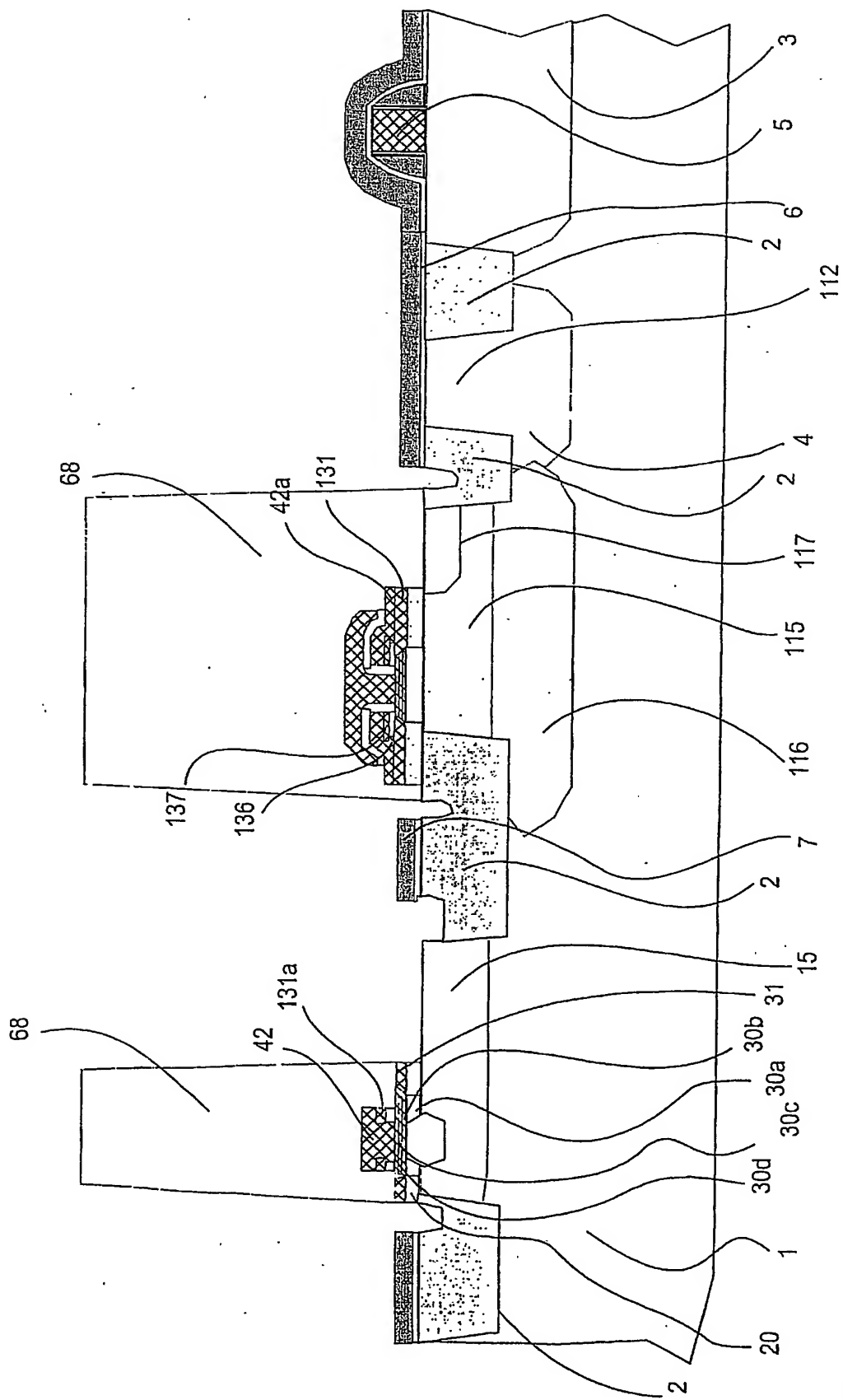


Fig. 8

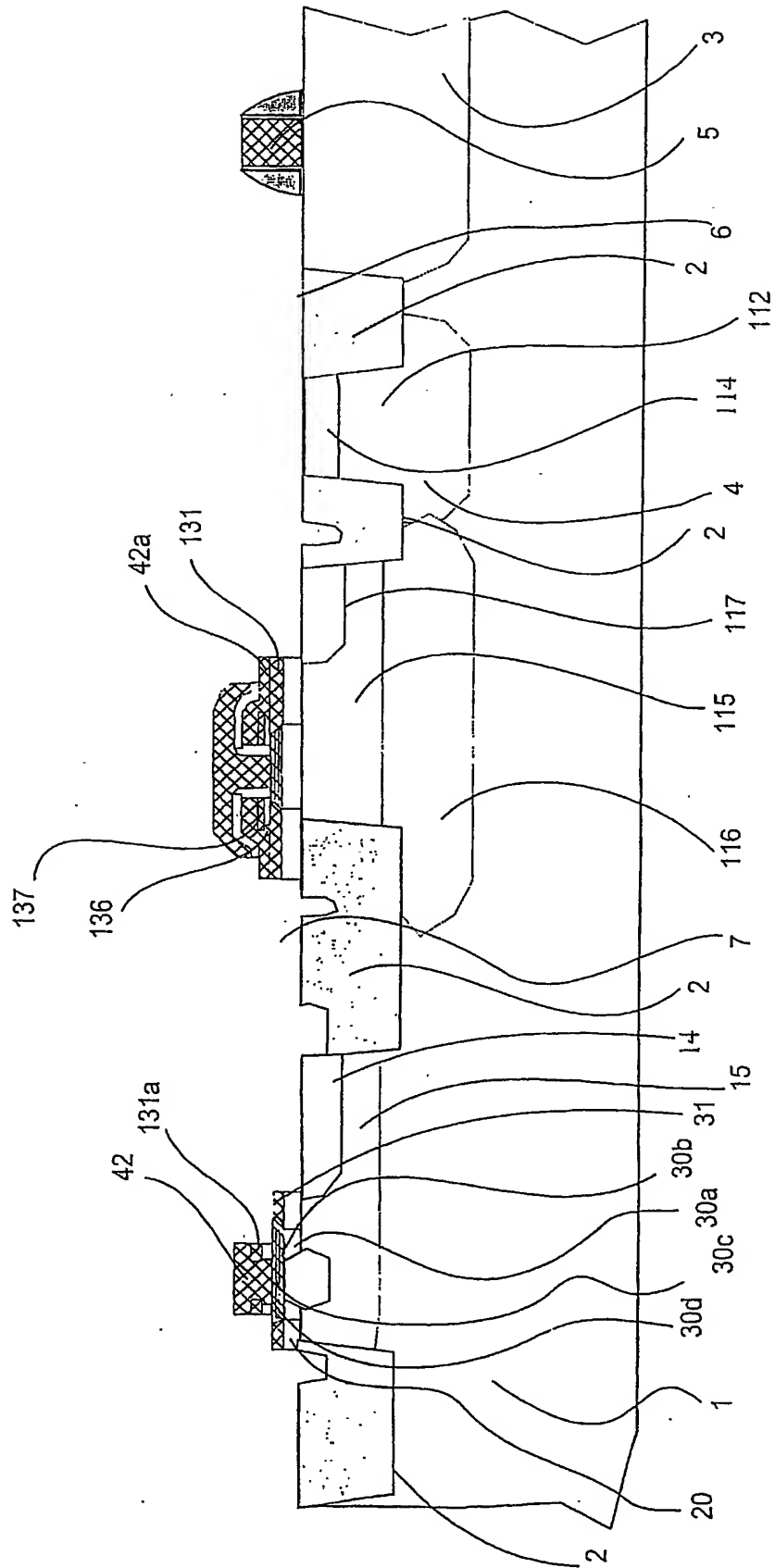


Fig. 9

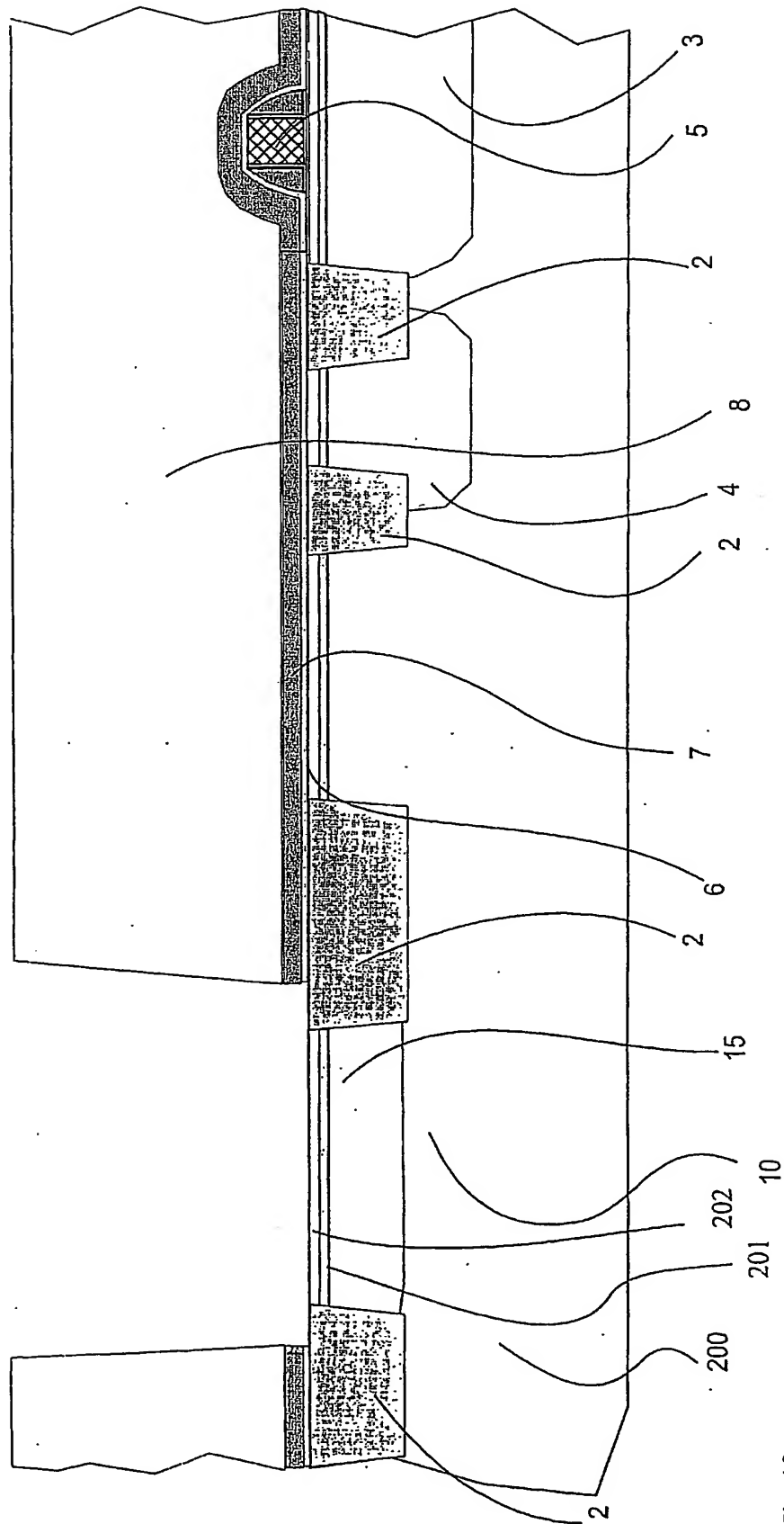


Fig. 10

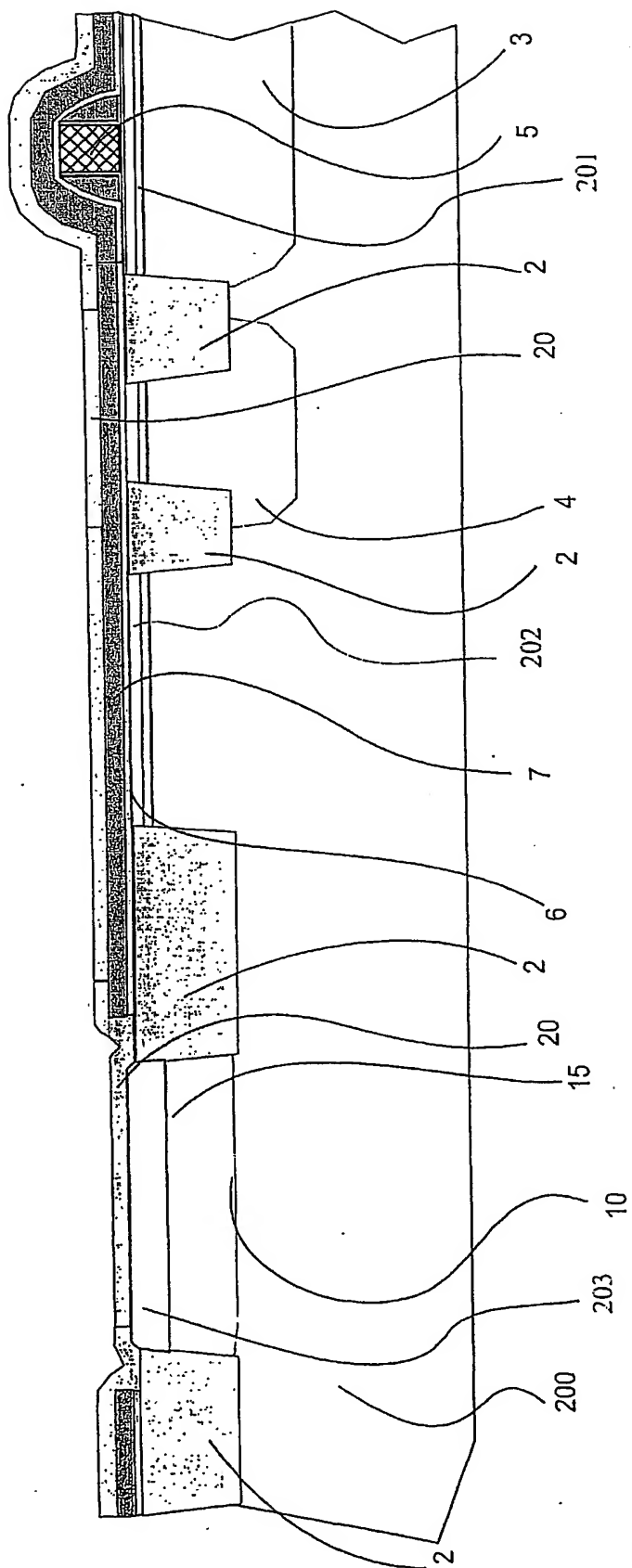


Fig. 11



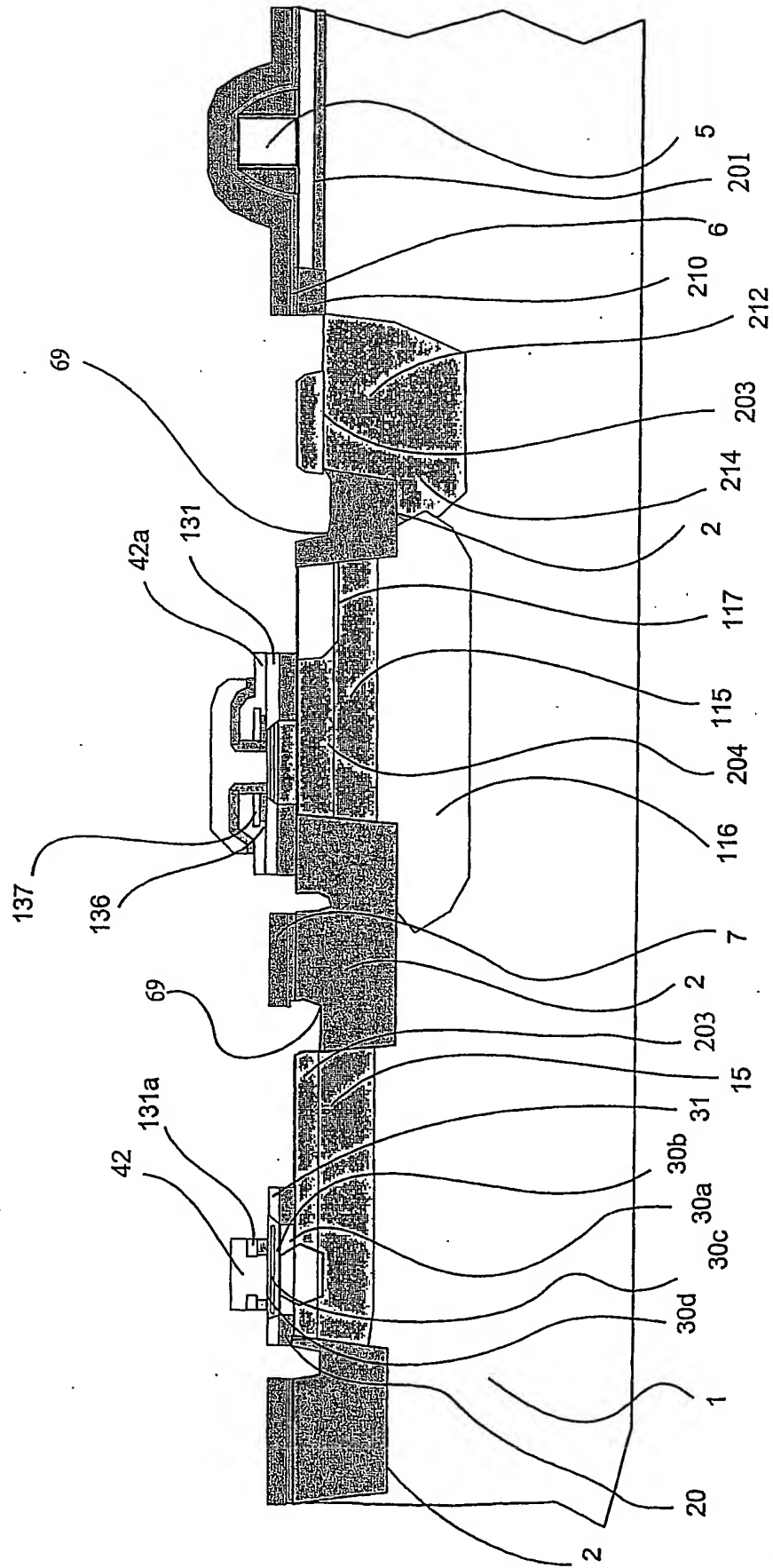


Fig. 12

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

## **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**